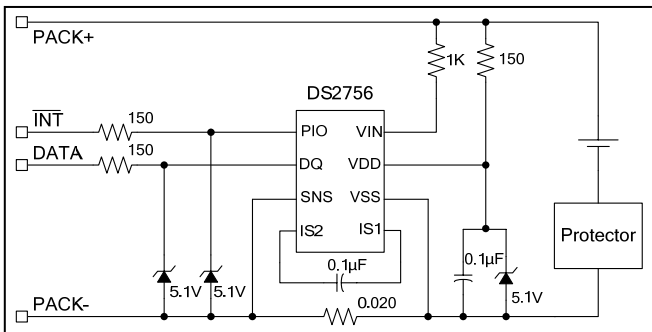


概要

高精度バッテリー残量ゲージの DS2756 は、コスト重視でスペースが制約された 1 セルリチウムイオン(Li+)/ポリマバッテリーパックアプリケーションに対応するデータ収集と情報保存のデバイスです。DS2756 は、3.0mm x 4.4mm の 8 ピン TSSOP パッケージの小型実装面積に、不揮発性 (NV) データ記憶だけでなく、温度、電圧、電流、および電流積算に対する低電力で高精度の測定を統合することによって、残容量を高精度で予測するのに必要とする主要なハードウェア部品を搭載しています。

DS2756 は、1-Wire® インタフェースを通じて、ホストシステムがステータスと制御レジスタ、計測レジスタ、および汎用データストレージに読み取り/書き込みアクセスをすることができるようにします。各デバイスは、出荷時設定済みの固有の 64 ビットのネットアドレスを備え、このアドレスによってホストシステムが各デバイスを個別にアドレス指定することができ、マルチバッテリー動作をサポートします。

標準動作回路



1-Wire は Dallas Semiconductor の登録商標です。

特長

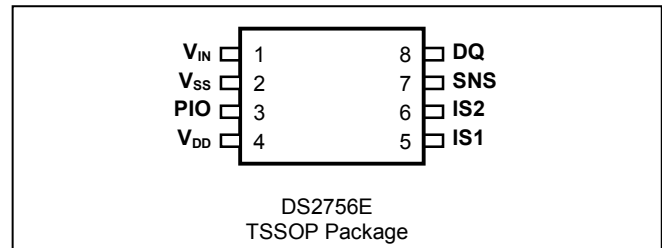
- プログラマブルなサスペンドモード
- 高精度な電流積算
  - 2% ±4µV (±64mV の入力範囲)
  - 2% ±200µA (±3.2A の範囲、20mΩ の検出抵抗を使用)
- 電圧測定
  - 9 ビットスナップショット測定
  - 12 ビット平均値(88ms ごとに更新)
  - 15 ビット平均値(2.8s ごとに更新)
- 電圧測定
  - 9 ビットスナップショット測定
  - 10 ビット平均値(4ms ごとに更新)
- 温度測定
  - 10 ビット(0.125°C の分解能)
- スナップショットモードによって瞬時の電力測定を実現
- 積算電流や温度がプログラマブルな制限値を超えると、ホストに警告通知
- 96 バイトのロック可能な EEPROM
- 8 バイトの汎用 SRAM
- 固有の 64 ビットアドレス付きで標準またはオーバドライブタイミングのダラス 1-Wire インタフェース
- サイズが 3mm の 8 ピン TSSOP パッケージによって薄型プリズムリチウムイオン(Li+)およびリチウムイオン(Li+)/ポリマ電池の側面に取り付け可能

型番

PART	TEMP RANGE	PIN-PACKAGE
DS2756E+	-20°C to +70°C	8 TSSOP
DS2756E+T&R	-20°C to +70°C	DS2756E+ on Tape-and-Reel

+は鉛フリーパッケージを示します。

ピン配置



注: この製品の改訂版の中には仕様が公表されたデータシートの仕様と異なり、正誤表として扱われている場合があります。様々な販売チャネルを通じて、製品に複数の改訂版が同時に存在することがあります。デバイスの正誤表に関しては、以下をクリックしてください。(japan.maxim-ic.com/errata)。

**ABSOLUTE MAXIMUM RATINGS**

Voltage on PIO Pin, Relative to $V_{SS}$	-0.3V to +12V
Voltage on All Other Pins, Relative to $V_{SS}$	-0.3V to +6V
Continuous Sink Current, DQ, PIO	12mA
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-55°C to +125°C
Soldering Temperature	See J-STD-020A Specification

This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

**RECOMMENDED DC OPERATING CONDITIONS**

( $3.0V \leq V_{DD} \leq 5.5V$ ,  $T_A = -20^\circ\text{C}$  to  $+70^\circ\text{C}$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	$V_{DD}$	(Note 1)	3.0		5.5	V
Data Pin	DQ	(Note 1)	-0.3		+5.5	V
$V_{IN}$ Pin	$V_{IN}$	(Note 1)	-0.3		+5.5	V

**DC ELECTRICAL CHARACTERISTICS**

( $3.0V \leq V_{DD} \leq 5.5V$ ,  $T_A = -20^\circ\text{C}$  to  $+70^\circ\text{C}$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active Mode Supply Current	$I_{ACTIVE}$	DQ = $V_{DD}$ , EEC bit = 0, $3.0V < V_{DD} < 4.2V$		75	100	$\mu\text{A}$
		DQ = $V_{DD}$ , EEC bit = 0			120	
Sleep Mode Supply Current	$I_{SLEEP}$	DQ = 0V, PIE = 00b		1	3	$\mu\text{A}$
Suspend Mode Supply Current	$I_{SUSPEND}$	DQ = 0V, PIE $\neq$ 00b (Note 11)		1.5	4	$\mu\text{A}$
Current Measurement Input Range	$V_{IS1-IS2}$	(Note 2)	$\pm 64$			mV
Current Register Offset Error	$I_{OERR}$	(Note 4)			$\pm 7.813$	$\mu\text{V/R}$
Current Gain Error	$I_{GERR}$	(Notes 2, 5)			$\pm 1$	% reading
24 Hour Accumulated Current Error	$q_{CA}$	$V_{IS1-IS2} = 0$ , OBEN set, (Notes 2, 3, 6)	-200	-100	0	$\mu\text{Vhr/R}$
Current Sampling Frequency	$f_{SAMP}$			1456		Hz
IS1-VSS, IS2-SNS Filter Resistors	$R_{KS}$	+25°C		10		$\text{k}\Omega$
Input Resistance: $V_{IN}$	$R_{IN}$	$V_{IN} = V_{DD}$	5			$\text{M}\Omega$
Voltage Offset Error	$V_{OERR}$	(Note 7)			$\pm 5$	mV
Voltage Gain Error	$V_{GERR}$				$\pm 2$	%V reading
Temperature Error	$T_{ERR}$	(Note 8)			$\pm 3$	°C
Input Logic High: DQ, PIO	$V_{IH}$	(Note 1)	1.5			V
Input Logic Low: DQ, PIO	$V_{IL}$	(Note 1)			0.4	V
Output Logic Low: DQ, PIO	$V_{OL}$	$I_{OL} = 4\text{mA}$ (Note 1)			0.4	V
DQ Pulldown Current	$I_{PD}$			1		$\mu\text{A}$
DQ Capacitance	$C_{DQ}$				60	pF
DQ Low-to-Sleep Time	$t_{SLEEP}$		2.1			s
Suspend Period Accuracy	$t_{SUS\_ERR}$			0	$\pm 30$	%
Minimum Active Mode	$t_{ACT\_MIN}$		87	90	93	ms

Period						
Undervoltage Detect	$V_{UV}$	$2.4V < V_{DD} < 5.5V$ (Note 1)	2.45	2.5	2.55	V
Undervoltage Delay	$t_{UVD}$		79	82	85	ms
Internal Timebase Accuracy	$t_{ERR}$	(Note 9)		$\pm 1$	$\pm 2$	%

## ELECTRICAL CHARACTERISTICS—1-WIRE INTERFACE

( $3.0V \leq V_{DD} \leq 5.5V$ ,  $T_A = -20^\circ C$  to  $+70^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Snapshot Trigger 0	$t_{SWL}$		1		16	$\mu S$
Snapshot Delay	$t_{SDLY}$		80	100	120	$\mu S$
<b>STANDARD TIMING</b>						
Time Slot	$t_{SLOT}$		60		120	$\mu S$
Recovery Time	$t_{REC}$		1			$\mu S$
Write-0 Low Time	$t_{LOW0}$		60		119	$\mu S$
Write-1 Low Time	$t_{LOW1}$		1		15	$\mu S$
Read Data Valid	$t_{RDV}$				15	$\mu S$
Reset Time High	$t_{RSTH}$		480			$\mu S$
Reset Time Low	$t_{RSTL}$		480		960	$\mu S$
Presence-Detect High	$t_{PDH}$		15		60	$\mu S$
Presence-Detect Low	$t_{PDL}$		60		240	$\mu S$
Interrupt Time Low	$t_{IL}$		480		1920	$\mu S$
<b>OVERDRIVE TIMING</b>						
Time Slot	$t_{SLOT}$		6		16	$\mu S$
Recovery Time	$t_{REC}$		1			$\mu S$
Write-0 Low Time	$t_{LOW0}$		6		16	$\mu S$
Write-1 Low Time	$t_{LOW1}$		1		2	$\mu S$
Read Data Valid	$t_{RDV}$				2	$\mu S$
Reset Time High	$t_{RSTH}$		48			$\mu S$
Reset Time Low	$t_{RSTL}$		48		80	$\mu S$
Presence-Detect High	$t_{PDH}$		2		6	$\mu S$
Presence-Detect Low	$t_{PDL}$		8		24	$\mu S$
Interrupt Time Low	$t_{IL}$		48		192	$\mu S$

## EEPROM RELIABILITY SPECIFICATION

( $3.0V \leq V_{DD} \leq 5.5V$ ,  $T_A = -20^\circ C$  to  $+70^\circ C$ .)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Copy to EEPROM Time	$t_{EEC}$			2	10	ms
EEPROM Copy Endurance	$N_{EEC}$	(Note 10)	50,000			cycles

**Note 1:** All voltages are referenced to  $V_{SS}$ .

**Note 2:** Specifications relative to  $V_{IS1} - V_{IS2}$ .

**Note 3:** Summation of worst case time base and current measurement sampling errors.

**Note 4:** Continuous offset cancellation corrects offset errors in the current measurement system. Individual values reported by the Current register have a maximum offset of  $\pm 0.5$  LSB's ( $\pm 7.8125\mu V$ ). Individual values reported in the Average Current register have a maximum offset of  $\pm 2$  LSB's ( $\pm 7.8125\mu V$ ).

**Note 5:** Current Gain Error specifies the gain error in the Current register value compared to a reference voltage between IS1 and IS2. The DS2756 does not compensate for sense resistor characteristics, and any error terms arising from the sense resistor should be taken into account when calculating total current measurement error.

**Note 6:** Achieving the 24 Hour Accumulated Current Error assumes positive offset accumulation blanking is enabled (OBEN bit set) and can require a one time 3.5s in-system calibration after mounting to the printed circuit board. Variations in temperature and supply voltage are compensated for by periodic offset corrections performed automatically during *Active* mode operation.

**Note 7:** Voltage offset measurement is with respect to 4.2V at  $+25^\circ C$ .

**Note 8:** Self heating due to output pin loading and sense resistor power dissipation can alter the Temperature reading from ambient conditions.

**Note 9:** Typical value for  $t_{ERR}$  valid at 3.7V and  $+25^\circ C$ .  $t_{ERR}$  applies to all internal timings (ex.  $f_{SAMP}$ ,  $t_{SLEEP}$ ,  $t_{UVD}$ ) except for the 1-Wire Interface timings and  $t_{SUS\_ERR}$ .

**Note 10:** Four year data retention at  $+50^\circ C$ .

**Note 11:** Measured during the Suspend Timeout. Does not include active period of suspend cycle.

## 詳細

DS2756 は、バッテリー充電制御や残容量予測などのプロセス監視アプリケーションをサポートするのに十分な分解能で、温度、電圧、および電流の測定を行います。温度は内蔵センサを使って測定されるため、独立したサーミスタは不要になります。電流積算(クーロンカウント)をサポートする双方向電流測定は、外付け電流検出抵抗によって実行されます。

ホストシステムは、危機的状態を通知し、ポーリングオーバーヘッドを低減するように DS2756 を設定することができます。温度またはクーロンカウントのプログラマブルな上限/下限スレッシュホールドを超えると、アラーム割込みが作動します。ユーザは、DQ ピンまたは PIO ピンをアラーム割込み信号として選択することができます。

PIO はサスペンドモード割込み出力としても機能し、バッテリーパック内のアイドル電流の流出を低減することができます。サスペンドモードでは、DS2756 は、DS2756 の消費電流を低減するためにアクティブ電力モードとサスペンド電力モードを切り替え、パックを流れる電流がプログラマブルな充電/放電スレッシュホールドを超えた場合は、PIO ピンを使ってマイクロコントローラや他のパック回路をウェイクアップすることができます(図 12 参照)。電流測定インターバルは、最低 10 $\mu$ A の平均電流を達成するように設定することができます(表 3 参照)。

汎用 I/O ピンとして、PIO は、ホストシステムがスイッチ、振動モータ、スピーカ、および LED などを含めて、パック内の他の電子機器を検出したり制御したりするようにできます。

バッテリー情報の保存用に、EEPROM、ロック可能な EEPROM、および SRAM の 3 種類のメモリが DS2756 に用意されます。EEPROM メモリは、極度のバッテリーの消耗、不慮の短絡、または ESD 発生などによる影響を受けない真の NV メモリに重要なバッテリーデータを保存します。ロック可能な EEPROM はロックされると ROM になり、バッテリーデータが変更されないようにセキュリティが向上します。SRAM は、一時データ用の安価なストレージを提供します。

図 1. パック内にマイクロコントローラを配置するアプリケーション例

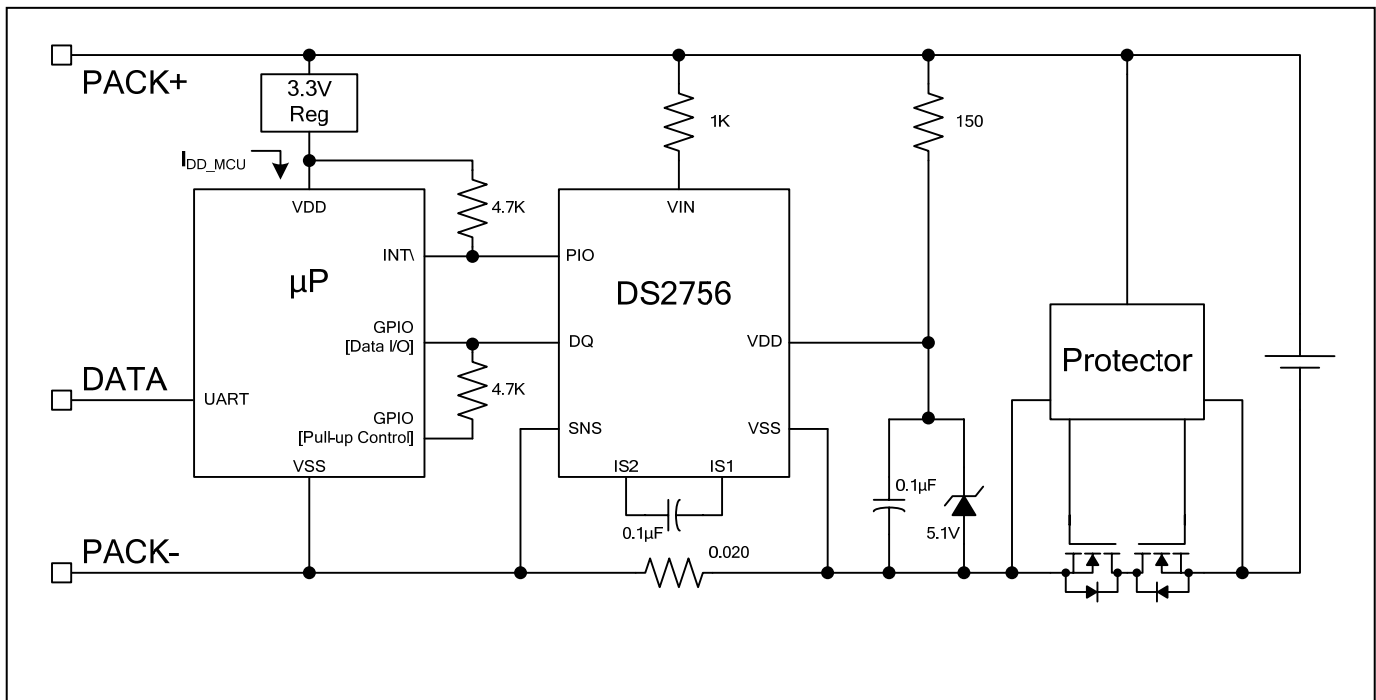
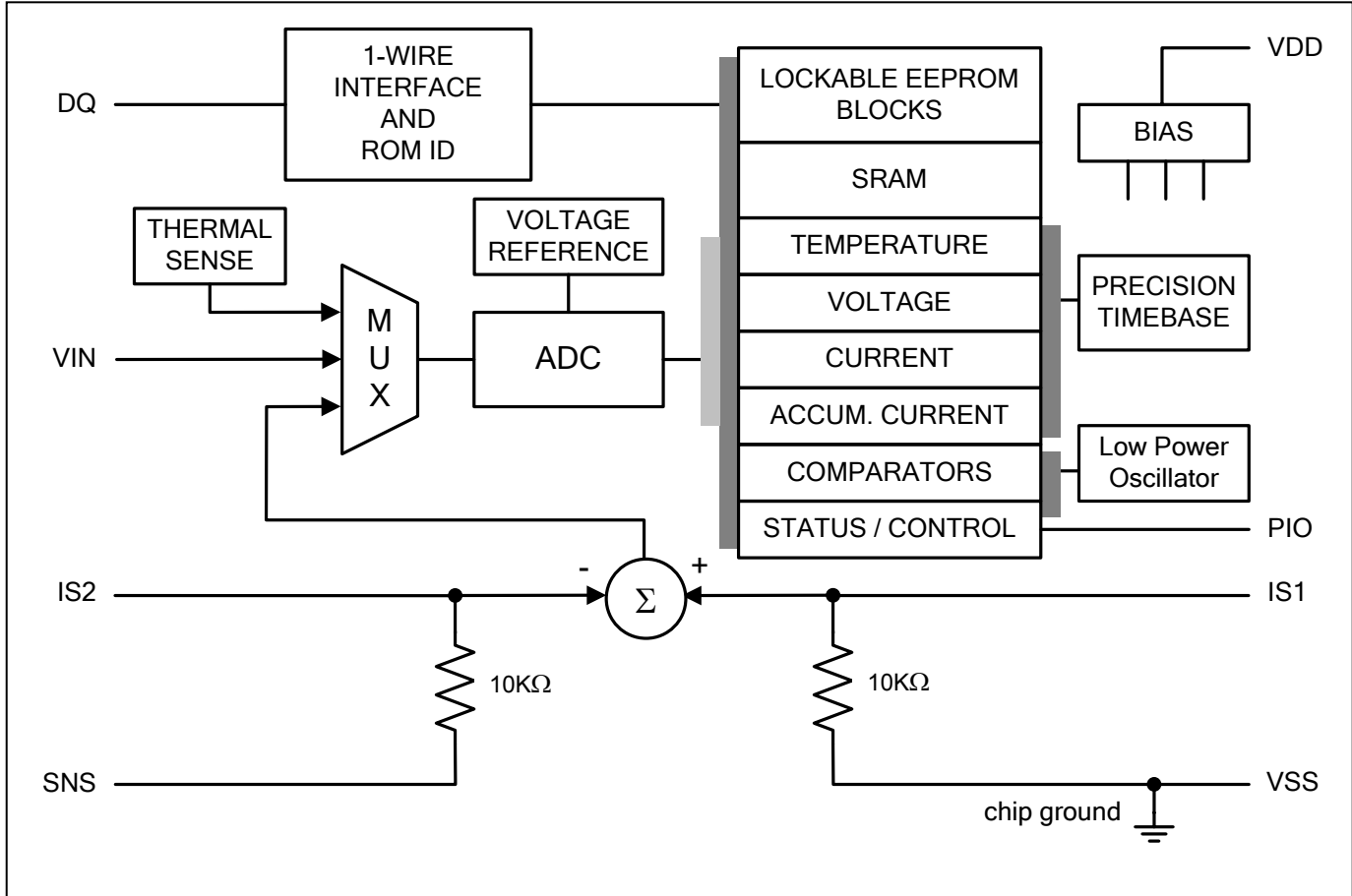


図 2. ファンクションダイアグラム



## 端子説明詳細

端子	名称	説明
1	V <sub>IN</sub>	バッテリー電圧の検出入力。電圧測定はV <sub>IN</sub> 入力で行われ、電圧レジスタに表示されます。
2	V <sub>SS</sub>	デバイスグランドおよび電流検出抵抗の接続。V <sub>SS</sub> は検出抵抗のバッテリー端に接続されています。
3	PIO	汎用のプログラマブル I/O ピンまたはオプションの割込み出力
4	V <sub>DD</sub>	入力電源: +3.0V~+5.5Vの入力範囲。0.1μFのコンデンサでV <sub>DD</sub> をV <sub>SS</sub> にバイパスします。
5	IS1	電流検出フィルタ入力 1
6	IS2	電流検出フィルタ入力 2
7	SNS	検出抵抗の接続。SNS は、電流検出抵抗のバック端に接続されています。
8	DQ	シリアルインタフェースのデータ I/O ピン。16kbps または 143kbps で双方向データの送/受信。オプションの割込み出力。

## 電力モード

DS2756 は、アクティブ、サスペンド、およびスリープの 3 種類の電力モードを備えています。アクティブモードの間は、DS2756 は電圧、温度、電流、および積算電流を常時測定し、低電圧状態を監視します。サスペンドモードとスリープモードでは、DS2756 はこれらの活動を停止します。サスペンドモードの間は、DQ 入力バッファはアクティブで、低電力発振器が作動します。スリープモードでは、DQ 入力バッファのみがアクティブです。

PMOD = 1 であり、かつ、以下のすべての条件が真の場合は、DS2756 はサスペンドモードに移行します。

- DQラインが $t_{SLEEP}$ 以上の間ロー状態
- ステータスレジスタ内のプログラマブルインターバルイネーブル(PIE)ビットがゼロ以外の値に設定されている (PIE = 01b、10b、または 11b)
- 電流レジスタ値が充電サスペンドスレッシュホールドを下回り、かつ、放電サスペンドスレッシュホールドを上回る

定期的に、サスペンド期間のタイムアウトが発生すると、DS2756 は、電流を測定するためにサスペンドモードからアクティブモードに一時的に切り替わります。電流測定が終了すると、その結果がユーザ設定の充電と放電サスペンドスレッシュホールドと照合して評価されます。電流測定結果がどちらのスレッシュホールドも超えていない場合は、DS2756 は元のサスペンドモードに移行します。測定がいずれかのスレッシュホールドのレベルを超える多くの電流が流れていると示す場合は、DS2756 は、PIO ピンをローにドライブすることによってサスペンド割込みを通知し、続いて通常のアクティブモード動作を続行するアクティブモード状態を維持します。

PMOD = 1 であり、かつ、以下のいずれか一方の条件が真である場合は、DS2756 はスリープモードに移行します。

- DQラインが $t_{SLEEP}$ 以上の間(最短 2.1s)ローであり、かつ、PIE = 00b
- ステータスレジスタ内のUVENビットが 1 に設定され、かつ、 $V_{IN}$ の電圧が $t_{UVD}$ の間低電圧スレッシュホールド $V_{UV}$ を下回る( $V_{IN}$ の測定と $V_{UV}$ との比較、および $t_{UVD}$ のタイムアウトは、サスペンドモードからの通常のアクティブモードおよび一時的なアクティブモードサイクルで発生)

DS2756 は、DQ ラインがローからハイの状態にプルされるごとに、サスペンドモードまたはスリープモードからアクティブモードに戻ります。

DS2756 の出荷時のデフォルト値は、UVEN = 0、PMOD = 0、および PIE = 00b です。DS2756 は、電源が最初に印加されるとデフォルトでアクティブモードになります。

## 電流の測定および積算

DS2756 の電流測定システムは、適度な分解能レベルで充電および放電電流に関するタイムリーなデータを提供しながら、同時に高分解能の平均データを積算して、高精度のクーロンカウントをサポートするように設計されています。電流は、SNSと $V_{SS}$ の間に接続された直列検出抵抗の $R_{SNS}$ の両端の電圧降下をサンプリングすることによって、アナログ-デジタルコンバータ(ADC)で測定されます。それぞれの電流は、 $687\mu s$ ごとにサンプルされます( $1456^{-1}$  Hz)。複数のサンプルが電流と平均電流値を通知するために平均化され、クーロンカウント用に積算されます。

## 電流測定

検出抵抗の両端に発生する電圧信号(SNSと $V_{SS}$ の間)は、 $V_{SS}$ とIS1 間とSNSとIS2 間に接続されたそれぞれ 10k $\Omega$ の内蔵抵抗を通じてADC入力によって差動的にサンプリングされます。ADC入力(IS1 およびIS2 ピン)を 10k $\Omega$ の検出抵抗から分離すると、単一の外付けコンデンサの追加によってRCフィルタの使用が容易になります。RCフィルタは、パルス負荷またはパルス充電アプリケーションにおいて $\pm 64mV$ を超えて入力範囲を拡大します。ADCは、IS1 およびIS2 の差動信号レベルが $\pm 64mV$ を超えない限り、大きなピーク信号を高精度で測定します。

電流レジスタは、通常モードとスナップショットモードの 2 つのモードで動作します。通常モードでは、電流レジスタは、88ms ごとに 128 の各電流サンプルの平均値を通知します。通知された値は、88ms の測定期間中の平均電流を表します。平均電流レジスタは 4096 の電流サンプルの平均値を通知し、2.8s ごとに更新されます。

スナップショットモードでは、電流レジスタは、スナップショットトリガの直後に測定された電流値を保存します。スナップショット値が得られた直後に電流測定が再開しますが、電流レジスタへの通常モードの電流通知を再イネーブルするために SNAP ビットをクリアする必要があります。平均電流レジスタは、SNAP ビットが設定されている間は更新され続けます。SNAP が設定されている間は、電流積算も継続します。スナップショットモードのトリガごとにもたらされる電流サンプルタイミングの不連続によって、小さな誤差が平均電流値および積算電流値に発生しますが、5s ごとにスナップショットを使用しても、大きな誤差は発生しません。

以下のレジスタフォーマットは、電流および平均電流レジスタの更新インターバルと単位を設定します。それぞれの値は、2 の補数形式で書き込まれます。正の値は充電電流( $V_{IS1} > V_{IS2}$ )を、負の値は放電電流( $V_{IS2} > V_{IS1}$ )を表します。最大レジスタ値を上回る正の電流は、最大値 0x7FFFとして通知されます。最小レジスタ値を下回る負の電流は、最小値 0x8000 として通知されます。

図 3. 電流レジスタのフォーマット

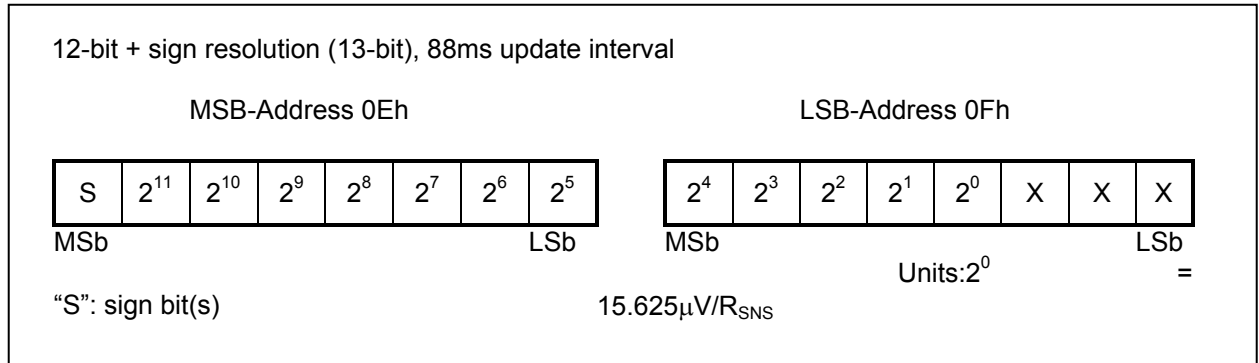
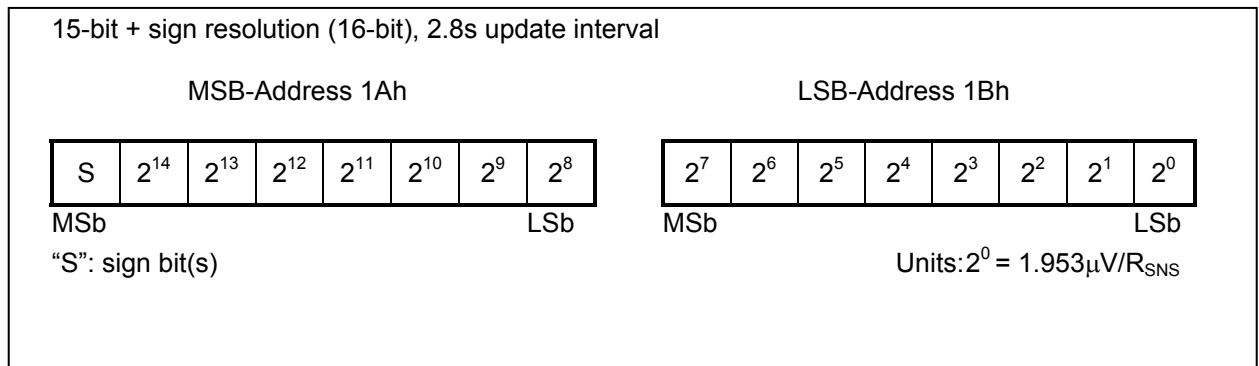


図 4. 平均電流レジスタのフォーマット



### 電流オフセットの補正

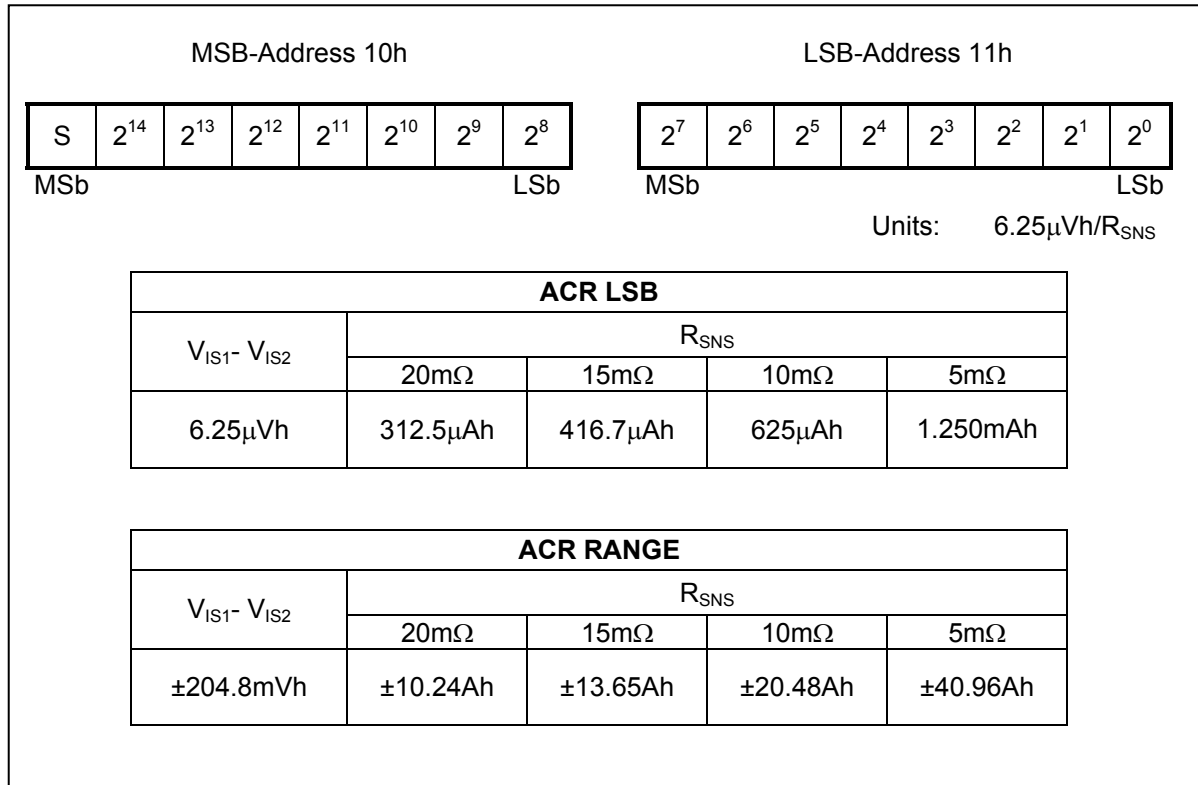
連続的なオフセットキャンセルが、電流測定システムでオフセットを補正するために自動的に実行されます。電流レジスタから通知されるそれぞれの値の最大オフセットは、±0.5 LSb (±7.8125μV)です。平均電流レジスタで通知されるそれぞれの値の最大オフセットは、±2 LSb (±7.8125μV)です。

### 電流積算

DS2756 は、±64mV の範囲に渡って±2% (±3.9μV)の精度で、クーロンカウント用に電流を測定します。20mΩの検出抵抗を使って、±195μAの精度でスタンバイ電流を測定しながら、電流積算が±3.2Aの範囲で実行されます。電流測定は内部で合計または積算され、その結果は積算電流レジスタ(ACR)に表示されます。ACRの精度は、電流測定と積算の時間基準の両方に依存します。16ビット ACR は、6.25μVh の LSb で±204.8mVhの範囲を備えています。最大レジスタ値を上回る充電電流の積算は最大値として通知され、逆に最小レジスタ値を下回る放電電流の積算は最小値として通知されます。

ACRに対する読取り/書き込みアクセスが可能です。ACRには、まず最上位バイトから先に書き込み、次に最下位バイトを書き込む必要があります。ACRに書き込まれるごとに、内部の小数積算結果ビットがクリアされます。電源が切れた時にACR値を保存するために、100μVh ( $R_{SNS} = 20m\Omega$ の場合は 5.0mAh)のインクリメントまたはデクリメントの後に、ACRの最上位バイトと最下位バイトはEEPROMに自動的にバックアップされます。電源投入時にはEEPROMから、またはACRレジスタアドレスを対象にする Recall Dataコマンドによって、ACR値は復元されます。ACRに書き込むと、新しい値がEEPROMに自動的にコピーされます。

図 5. 積算電流レジスタのフォーマット



### オフセット積算ブランキング

長期間にわたる小さな正オフセット誤差の積算をなくすために、オフセットブランキングフィルタが用意されています。ステータスレジスタ内のOBENビットを設定すると、ブランキングフィルタがイネーブルされます。OBENが設定されると、15.625 $\mu$ V～62.5 $\mu$ Vの充電電流(正電流レジスタ値)はACRで積算されません。このため、 $R_{SNS} = 0.020\Omega$ で0.78mA～3.125mAの正電流は、ACRの積算から除外されます。

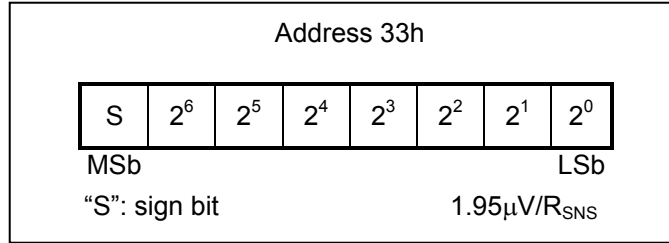
### 積算バイアス

システムの誤差またはアプリケーションの選択には、任意バイアスアプリケーションの電流積算プロセスへの適用が必要になる場合があります。電流積算プロセスに対するユーザ設定の一定の正または負極性のバイアスを可能にするために、積算バイアスレジスタが提供されます。積算バイアス値を使って、検出抵抗を流れないバッテリー電流の予測、バッテリーの自己放電の予測、または電流レジスタおよびACRレジスタ内のオフセット誤差の補正を行うことができます。積算バイアスレジスタ内のユーザ設定の2の補数値は、電流サンプルごとに電流レジスタに加算されます。レジスタフォーマットは、 $\pm 250\mu$ Vの範囲にわたって1.95 $\mu$ Vのインクリメントが適用される積算バイアスをサポートしています。20m $\Omega$ の検出抵抗の使用時は、バイアス制御は $\pm 12.5$ mAの範囲にわたって100 $\mu$ Aです。

積算バイアスレジスタは、直接の読取りと書込みのアクセスをすることができます。ユーザの値は、EEPROMブロック0を対象とするCopy Dataコマンドによって不揮発性になります。積算バイアスレジスタは、電源投入時とスリープモードからアクティブモードへの遷移時に、EEPROMメモリからロードされます。



図 6. 積算バイアスレジスタのフォーマット



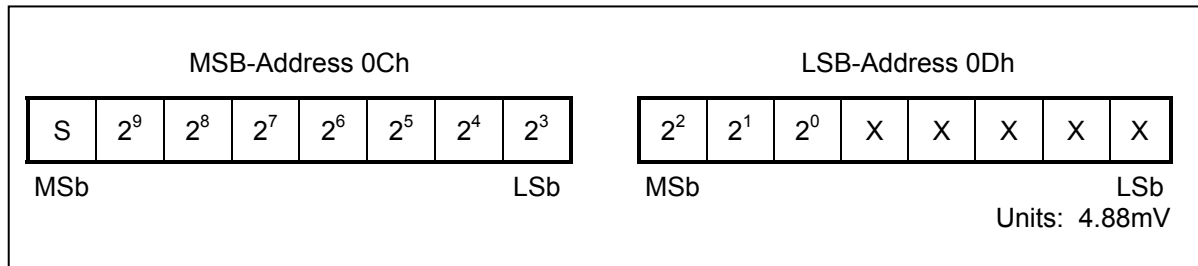
### 電圧測定

電圧レジスタは、通常モードとスナップショットモードの 2 つのモードで動作します。通常モードでは、DS2756 は 0~4.75V の範囲にわたってピン  $V_{\text{IN}}$  と  $V_{\text{SS}}$  の間の電圧を常時測定し、電圧レジスタは 4.88mV の分解能で 3.4ms ごとに 2 の補数形式で更新されます。

スナップショットモードでは、電圧レジスタは、スナップショットトリガの直後に測定された電圧を保存します。スナップショット値が得られた後に通常の電圧測定が再開しますが、電圧レジスタへの電圧測定の通常モードの通知を再イネーブルするために SNAP ビットをクリアする必要があります。

最大レジスタ値を上回る電圧は、最大値として通知されます。

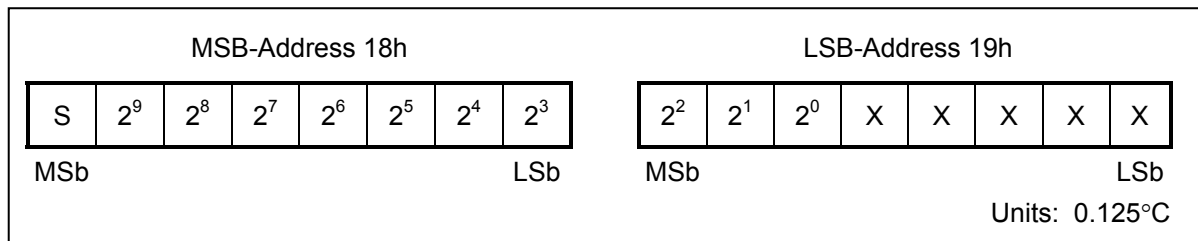
図 7. 電圧レジスタのフォーマット



### 温度測定

DS2756 は内蔵温度センサを使って、バッテリー温度を常時測定することができます。温度測定は、 $\pm 127^\circ\text{C}$  の範囲にわたって  $0.125^\circ\text{C}$  の分解能および 220ms ごとに 2 の補数形式で温度レジスタで更新されます。温度レジスタのフォーマットは、図 8 に示されています。

図 8. 温度レジスタのフォーマット



## プログラマブルな I/O

PIO ピンをプログラマブルな汎用 I/O ピンまたは割込み出力として設定することができます。この項に示されるプログラマブルな I/O モードで PIO ピンを使用するために、PIO 割込み方法をイネーブルにしないでください。割込みのディセーブルに関する詳細については、「割込み信号処理」の項を参照してください。

プログラマブルな I/O ピンとして、PIO はデジタル入力またはオープンドレインデジタル出力を提供します。1 を特別機能レジスタ内の PIO ビットに書き込むと、出力ドライバがディセーブルされます。PIO ピンがハイ Z の場合は、PIO を入力として使用することができます。PIO ピンのロジックレベルは、シリアルインタフェースを通じて特別機能レジスタに通知されます。

PIOピンを出力として使用するには、希望する出力値を特別機能レジスタ内のPIOビットに書き込みます。0 をPIOビットに書き込むと、PIO出力ドライバがイネーブルされ、PIOピンが $V_{SS}$ にプルされます。上記のように、1 をPIOビットに書き込むと、ピンを強制的にハイZ状態にします。このピンを強制的にハイにするには、プルアップ抵抗または電流源を用意する必要があります。PIOピンを $V_{DD}$ より数ボルト上でバイアスすることができ、バッテリー電圧を上回るシステム電圧での相互動作が可能です。 $V_{DD}$ を大幅に上回ってPIOピンを動作させる場合は、「絶対最大定格(Absolute Maximum Ratings)」の表を参照してください。スリープモードの場合、またはPMODビットの状態を問わず、DQが $t_{SLEEP}$ 以上の間ローである場合は、DS2756 はPIO出力ドライバをオフにし、PIOビットをハイに設定します。

## 割込み信号処理

PIO ピンに通知されるサスペンド割込み、または PIO ピンか DQ ピンに通知される(電流アキュムレータ/温度アラームコンパレータスレッシュホールドに基づいて)アラームコンパレータ割込みとして、DS2756 の割込みを設定することができます。

サスペンド割込みは、電流レベルがユーザがプログラムできる充電サスペンドスレッシュホールドを上回るか、または放電サスペンドスレッシュホールドを下回る(負方向)かを通知するのに使用されます。ステータスレジスタ内のPIEビットの 1 つまたは両方を設定すると、サスペンド割込みがイネーブルになります。PIEビットは、サスペンド期間の $t_{SUS}$ に対して 3 つのインターバルのいずれか 1 つを選択します。どちらかのPIEビットが設定されている場合は、アラームコンパレータ割込みがディセーブルされます。PIO出力を強制的にハイからローにするために、SFR内のPIOビットを内部でクリアすることによって、サスペンド割込みイベントが通知されます。ホストがPIO出力をディセーブルするために、SFR内のPIOビットに 1 を書き込むまで、PIO出力はアクティブモードでローを維持します。なお、PIO出力はサスペンドモードでディセーブルされるため、PIOピンをハイにプルし、DS2756 はサスペンド割込みをハイからローへの遷移で常に通知することができます。

PIE がクリアされた状態で特別機能レジスタ内の割込みイネーブル(IE)ビットを設定すると、温度と ACR アラームコンパレータ割込みがイネーブルされます。IE が設定され、両方の PIE ビットがクリアされている場合は、アラームコンパレータスレッシュホールドを超えると、割込みが通知されます。1-Wire リセットは、常に IE ビットをクリアします。ホストは、バス上で最後のトランザクションで IE を設定して、割込みを再イネーブルする必要があります。なお、いずれかの PIE ビットが設定されていると、IE の状態は影響を及ぼしません。

ステータスレジスタ内の割込み出力選択(IOS)ビットを設定するかクリアするかして、アラームコンパレータ割込み用の割込み信号ピンを選択します。IOS が設定されている場合は、DQ ピンはアラームコンパレータ割込み信号処理を実行し、IOS がクリアされると、PIO ピンはアラームコンパレータ割込み信号処理を実行します。なお、いずれかの PIE ビットが設定されていると、IOS の状態は影響を及ぼしません。

DQは、1-Wireバスを $t_{L}$ の間ローにドライブして、アラームコンパレータ割込み状態を通知します。DS2756 およびバス上にある他の全 1-Wireデバイスは、この信号を 1-Wireリセットと見なします。アラーム割込み信号後に、DS2756 を含むすべての 1-Wireデバイスからのプレゼンスパルスを確認する必要があります。ホストシステムは、リセットまたはプレゼンスパルスのいずれかの立下りまたは立上りエッジでアラーム割込み信号を検出することができます。

PIO は、ローにドライブすることによって、アラームコンパレータ割込みを通知します。ホストが 1 を PIO ビット(特別機能レジスタ内のビット 6)に書き込んでこの状態をクリアするまで、PIO はローを維持します。このピンをハイにするには、プルアップ抵抗または電流源を用意する必要があります。ホストは、PIO の立下りエッジでアラーム割込みを検出する必要があります。

表 1. PIO/DQ ピンの機能

REGISTER BIT SETTING				PIO/DQ PIN FUNCTION
PIE	IOS	IE	PIO	
xx	x	x	0	PIO pin: GPIO—Output LOW
00	x	0	1	PIO pin: GPIO—Output High-Z, Input mode
00	0	1	1	PIO pin: Alarm Comparator Interrupt Output
00	1	1	0	DQ pin: Alarm Comparator Interrupt Output (low for $t_{IL}$ ) PIO pin: GPIO—Output LOW
00	1	1	1	DQ pin: Alarm Comparator Interrupt Output (low for $t_{IL}$ ) PIO pin: GPIO—Output High-Z, Input mode
01 10 11	x	x	1	PIO pin: Suspend Interrupt Output

x - 任意

### サスペンドスレッシュールド

サスペンドスレッシュールドは、サスペンドモードに移行したりサスペンドモードを終了する電流レベルを設定します。スレッシュールドレベルは 0~4mV の電圧範囲にわたってプログラマブルで、電流レジスタ内の値と照合されます。値は、仮想第 9 ビット位置に暗黙の符号ビットを備える 2 の補数形式で設定されます。充電サスペンドスレッシュールドレジスタは常に正の値です。放電サスペンドスレッシュールドレジスタは常に負の値です。

これらのスレッシュールドは電流の包括的で連続的な範囲を定め、この範囲内で DS2756 はアクティブモードからサスペンドモードに移行または再移行します。充電サスペンドスレッシュールドは最低の測定充電電流を表し、これによって DS2756 はモードを遷移させます。放電サスペンドスレッシュールドは最低の放電電流を表し、これによって DS2756 はモードを遷移させます。

サスペンドスレッシュールドのユーザ値は、EEPROM ブロック 0 内に位置する 2 バイトに設定されます。これらのメモリ位置は、いずれかの PIE ビットが設定されている場合に限り電流スレッシュールド値として機能し、また PIE = 00b の場合は汎用 EEPROM として使用することができます。バイトの値を EEPROM に保存するには、Copy コマンドが必要です。EEPROM へのシャドールームのコピーに関する詳細については、「メモリ」の項を参照してください。

図 9. 充電サスペンドスレッシュールドのフォーマット

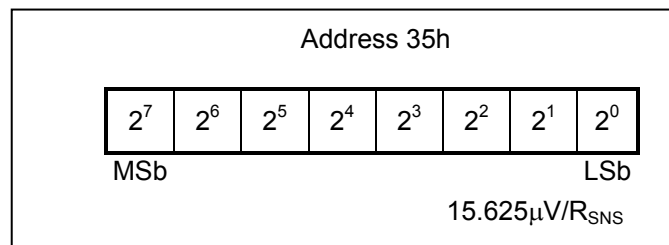
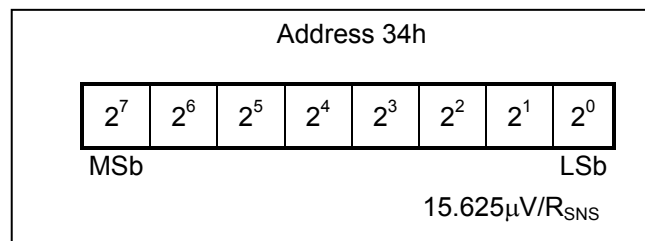


図 10. 放電サスペンドスレッシュールドのフォーマット



## アラームコンパレータおよび割込みスレッシュヨルド

アラーム割込みスレッシュヨルド値は、図 11 にあるフォーマットと位置にある指定 SRAM メモリレジスタ内にユーザが設定することができます。これらのスレッシュヨルドは SRAM メモリ内にあるため、DS2756 の電源が切れた場合は、再設定する必要があります。DS2756 はアラーム割込みを生成して、以下のイベントのいずれか 1 つが発生したことを通知します。

- 積算電流  $\geq$  電流アキュムレータ割込みのハイ側スレッシュヨルド
- 積算電流  $\leq$  電流アキュムレータ割込みのロー側スレッシュヨルド
- 温度  $\geq$  温度割込みのハイ側スレッシュヨルド
- 温度  $\leq$  温度割込みのロー側スレッシュヨルド

次にホストは DS2756 をポーリングして、どのスレッシュヨルドに合致したか、または超えたかを判定することができます。

図 11. アラーム割込みスレッシュホルドレジスタのフォーマット

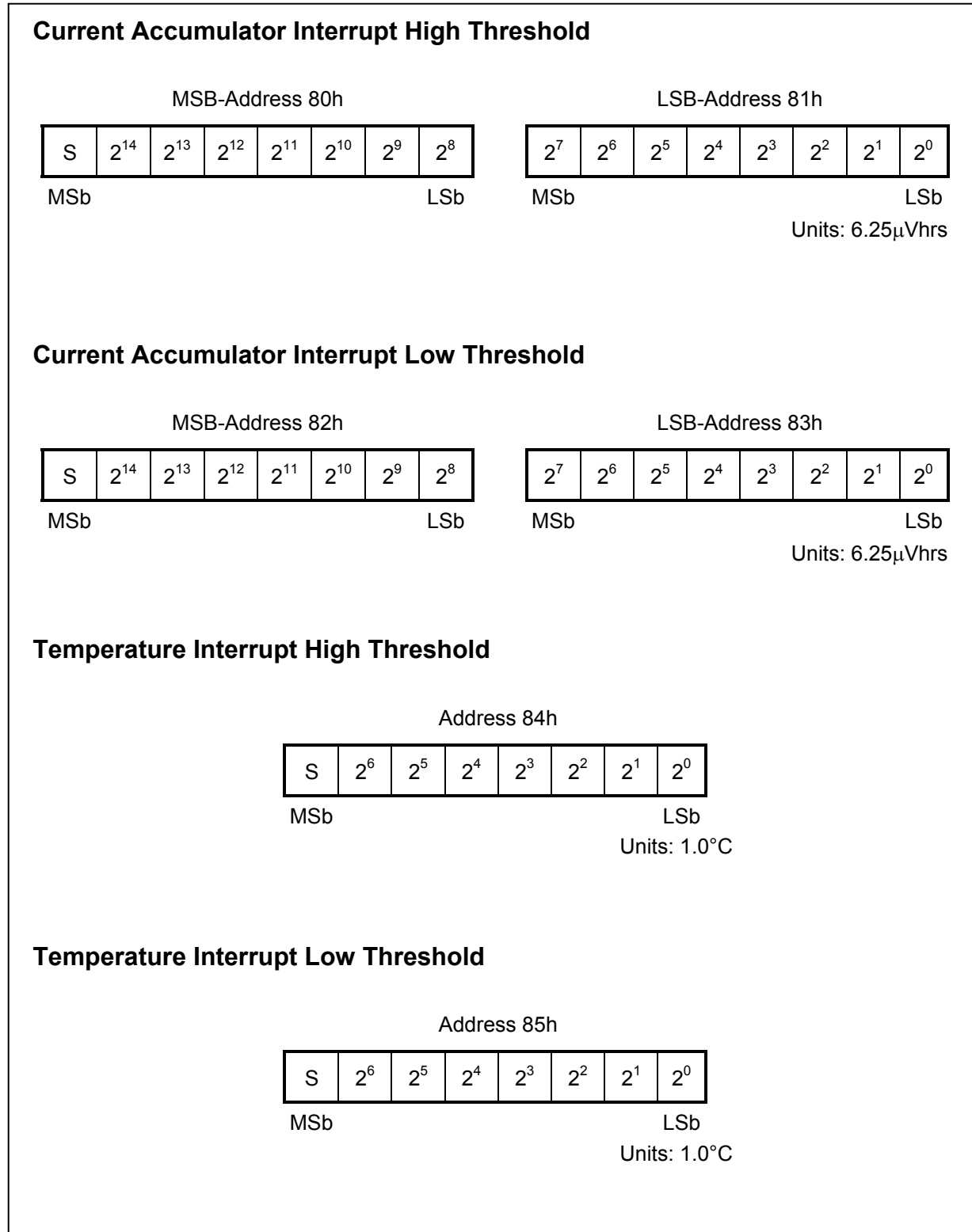
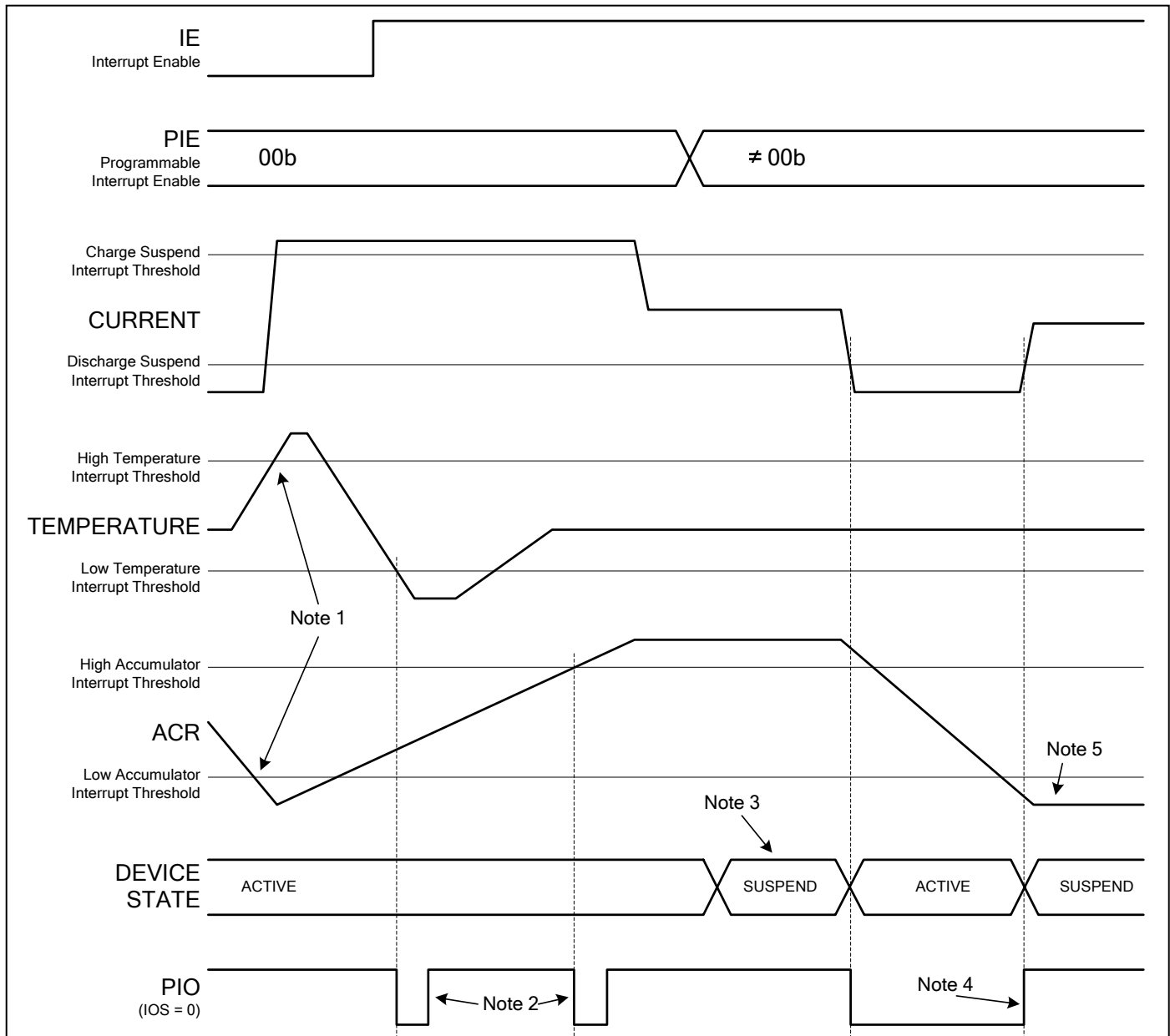


図 12. アラームとサスペンドモードの動作図



Note 1. Threshold violations do not generate alarm interrupts until the Interrupt Enable (IE) bit is set.

Note 2. PIO Interrupts are cleared by resetting the PIO bit in the Special Feature Register.

Note 3. SUSPEND state shown in this timing diagram refers to the DS2756 cycling between Active and Suspend mode at a rate determined by the PIE bit settings. Suspend state is entered by setting PIE bits to a non-zero value, setting PMOD=1, and then driving DQ low for longer than 2s.

Note 4. Interrupts on PIO not reset by software are automatically cleared when entering suspend mode.

Note 5. Alarm threshold violations do not generate interrupts if Suspend mode is enabled (PIE ≠ 00b).

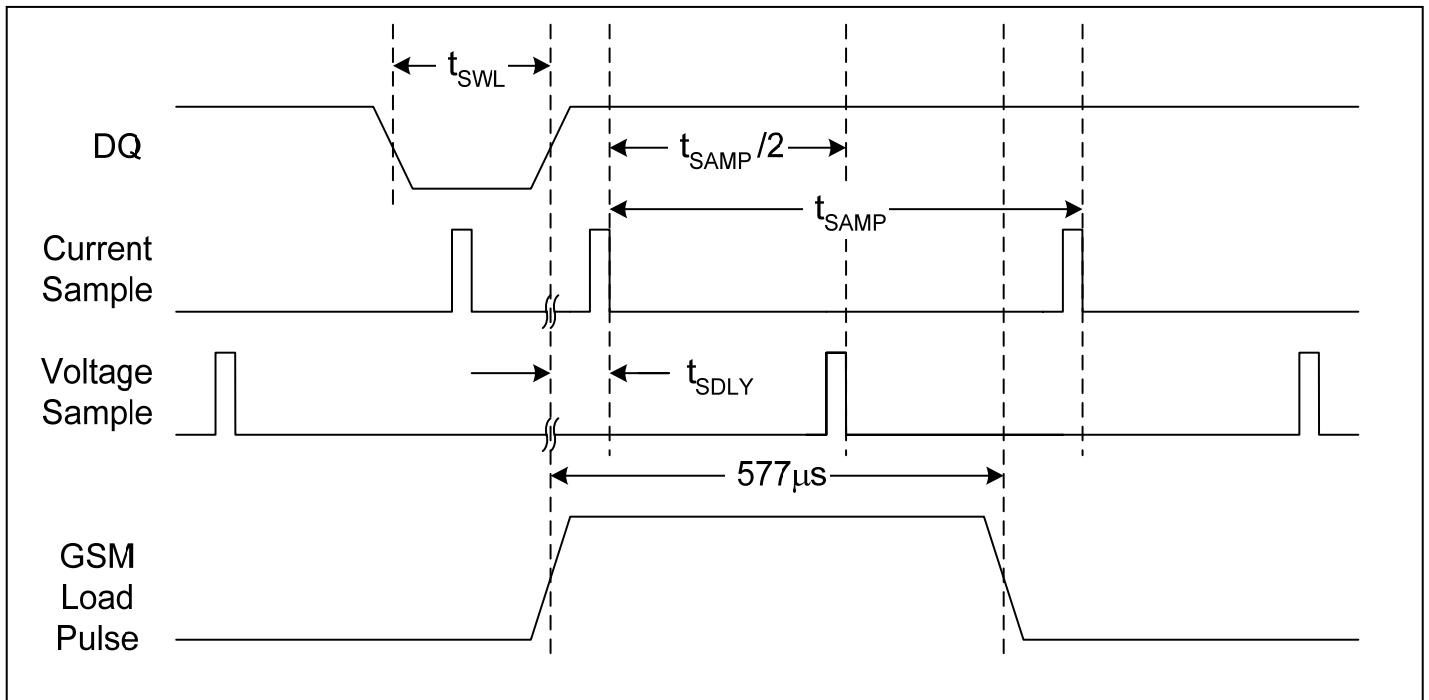
## スナップショットモード

電流と電圧の測定は、スナップショットモードによってシステムイベントと同期させることができます。スナップショットイベントをトリガすると、ADCは電流変換を中止し、電流サンプルと電圧サンプルを1つずつ収集します。スナップショットの結果は、ホストが取得するために電流と電圧レジスタに通知されます。スナップショットの電流および電圧値は、ホストシステムが特別機能レジスタ内のSNAPビットに0を書き込むまで継続しますが、通常の電流、電圧、および温度の測定と電流積算はスナップショットイベントの直後に再開します。スナップショットモードはクーロンカウントプロセスの継続を妨げるため、このモードの使用は控えめにする必要があります。

同期機能コマンド[D2h]は ADC 制御を通知し、DQ でスナップショットトリガを予測します。同期コマンドの後に、ホストは DQ のラインを切り替えてスナップショットイベントをトリガすることができます。同期は、DQ のハイ～ロー～ハイのパルスの立上りエッジで行われます。スナップショットモードは、同期パルスの代わりに 1-Wire リセットを送出することで中止することができます。立上りエッジの DQ のトリガは、同期機能コマンド発行後の先頭のデータビットで生成されます。全バイトを発行することが可能ですが、先頭ビットの立上りエッジによってトリガ点が設定されます。SNAP ビットは、立上りエッジのトリガの後に設定されます。タイミングは重要ではなく、1-Wireを通じてタイミングを素早く読み取ることができないため、数 100 $\mu$ s 後になる場合があります。1-Wire リセットがデータビットの代わりに発行される場合は、スナップショットは中止されます(SNAP ビットは未設定)。

図 13 のスナップショットの同期タイミングは、DQの立上りエッジトリガと 1 タイムスロットのGSM/パワーアンプ負荷パルスに対するスナップショット電流と電圧サンプルアーチャのタイミングを示しています。この図では、 $t_{\text{SAMP}} = 1 / f_{\text{SAMP}} = 1456^{-1} = 687\mu\text{s}$ です。電流と電圧の測定には 343 $\mu\text{s}$ の間隔が必要ですが、1 つのGSMタイムスロット内です。

図 13. スナップショットの同期タイミング



## メモリ

DS2756 は、下位 32 バイトに計測、ステータス、および制御用のレジスタを備える 256 バイトのリニアアドレス空間を、残りのアドレス空間部分を占めるロック可能な EEPROM および SRAM メモリとともに内蔵しています。EEPROM および SRAM メモリはすべて、アドレス 31h、33h、34h、および 35h を除き汎用メモリであり、これらのアドレスには、それぞれステータスレジスタ、積算バイアスレジスタ、充電サスペンドスレッショルド、および放電サスペンドスレッショルドのデフォルト値を書き込む必要があります。サスペンド割込みを使用しない場合は、アドレス 34h および 35h を汎用 EEPROM として使用することができます。いずれかの 2 バイトレジスタの最上位バイトが読み取られると、最上位バイトと最下位バイトの値はラッチされ、Read Data コマンドの間は保持されます。このため、読取り中の更新が阻止され、2 つのレジスタバイト間の同期が確保されます。整合した結果を得るために、同じ Read Data コマンドシーケンス中に 2 バイトレジスタの最上位バイトと最下位バイトを常時読み取ります。レジスタ制御とステータスビットの説明において、設定とクリアという用語は、ビット値を処理する内部動作を意味します。読取りと書き込みという用語は、ビット値に対する 1-Wire アクセスを意味します。数ビットは内部で設定されますが、ホストがこれらのビットに 0 の値を書き込む必要があります。

EEPROMメモリはRAMによってシャドーされるため、書き込み間のプログラミング遅延が排除され、EEPROMにコピーされる前にホストシステムがデータを検証することができます。EEPROMメモリアドレスに対するRead DataおよびWrite Dataプロトコルは、シャドーRAMにアクセスします。Recall Data機能コマンドは、EEPROMからシャドーRAMにデータを転送します。Copy Data機能コマンドはシャドーRAMからEEPROMにデータを転送し、EEPROMセルのプログラミングを完了するには $t_{EEC}$ が必要です。ロックされていないEEPROMブロックにおいては、データを書き込むとシャドーRAMが更新されます。ロックされたEEPROMブロックにおいては、Write Dataコマンドは無視されます。Copy Data機能コマンドは、シャドーRAMの内容をEEPROMのロックされていないブロックにコピーしますが、ロックされたブロックには機能しません。Recall Data機能コマンドは、ブロックのロックの有無を問わず、EEPROMのブロックの内容をシャドーRAMにコピーします。

図 14. シャドーRAM を通じた EEPROM へのアクセス

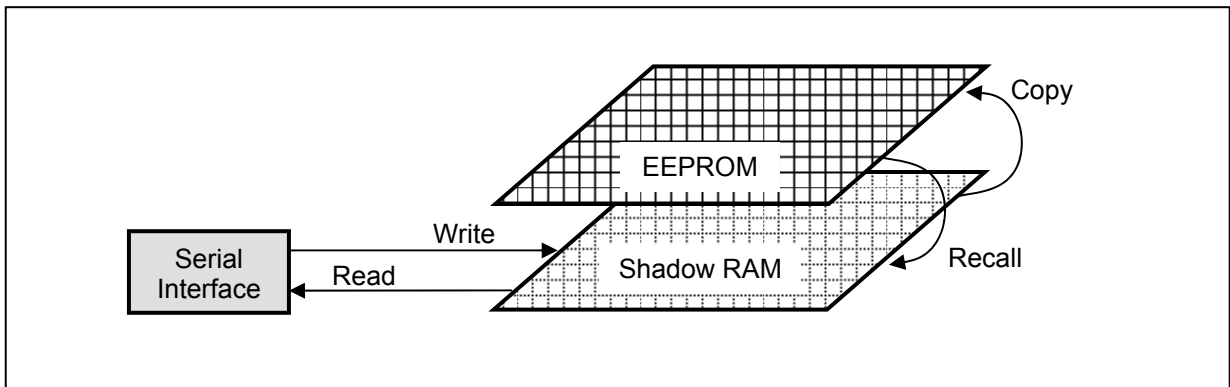




表 2. メモリマップ

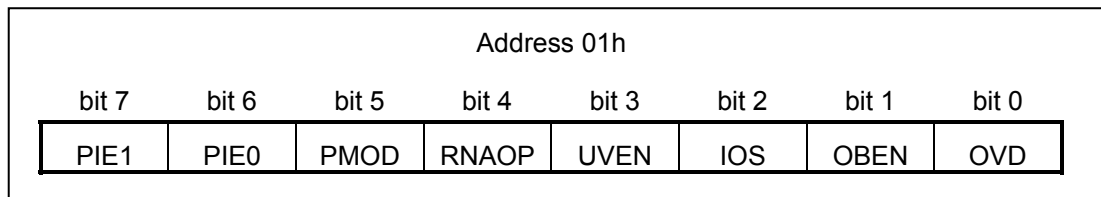
ADDRESS (HEX)	DESCRIPTION	READ/WRITE
00	Reserved	
01	Status Register	R
02 to 06	Reserved	
07	EEPROM Register	R/W
08	Special Feature Register	R/W
09 to 0B	Reserved	
0C	Voltage Register MSB	R
0D	Voltage Register LSB	R
0E	Current Register MSB	R
0F	Current Register LSB	R
10	Accumulated Current Register MSB	R/W
11	Accumulated Current Register LSB	R/W
12 to 17	Reserved	
18	Temperature Register MSB	R
19	Temperature Register LSB	R
1A	Average Current Register MSB	R
1B	Average Current Register LSB	R
1C to 1F	Reserved	
20 to 3F	EEPROM, block 0	R/W*
40 to 5F	EEPROM, block 1	R/W*
60 to 7F	EEPROM, block 2	R/W*
80 to 8F	SRAM	R/W
90 to FF	Reserved	

\*各 EEPROM ブロックは、LOCK コマンドでロックされるまで読取り書込みが可能で、ロックされると、読取り専用になります。

## ステータスレジスタ

ステータスレジスタビットのデフォルト値は、ロック可能 EEPROM のアドレス 31h に対応するビットに保存されます。EEPROM ブロック 1 に対する Recall Data コマンドは、デフォルト値をステータスレジスタビットに呼び出します。ステータスレジスタのフォーマットは、図 15 に示されています。各ビットの機能は、以下の各段落で詳述します。なお、すべてのビットは読取り専用です。

図 15. ステータスレジスタのフォーマット



**PIE1、PIE0**—プログラマブルなサスペンド割込みのイネーブル。これらのビット内にゼロ以外の値が入ると、DS2756 はサスペンドモードに移行することができ、サスペンド期間( $t_{SUS}$ )は低電力発振器のタイムアウトに設定されます。00bの値によってDS2756 はサスペンドモードに移行できず、DS2756 はスリープモードに移行することができます。

表 3. サスペンドモードの要約

PIE1	PIE0	SAMPLE RATE WHILE IN SUSPEND MODE	AVERAGE IDD WHILE IN SUSPEND MODE
0	0	Suspend mode disabled	Suspend mode disabled
0	1	2.0Hz	$\frac{(500\text{ms} \times I_{\text{SUSPEND}}) + (90\text{ms} \times I_{\text{ACTIVE}})}{590\text{ms}}$
1	0	1.0Hz	$\frac{(1000\text{ms} \times I_{\text{SUSPEND}}) + (90\text{ms} \times I_{\text{ACTIVE}})}{1090\text{ms}}$
1	1	0.5Hz	$\frac{(2000\text{ms} \times I_{\text{SUSPEND}}) + (90\text{ms} \times I_{\text{ACTIVE}})}{2090\text{ms}}$

希望のデフォルト値をアドレス 31h のビット 6 およびビット 7 に設定する必要があります。出荷時のデフォルト値は 00b です。

**PMOD**—電力モードのイネーブル。このビットの 1 の値によって、DS2756 はスリープモードまたはサスペンドモードに移行することができます。0 の値は、DS2756 をスリープモードまたはサスペンドモードへの移行をディセーブルします。PMOD が 0 の場合は、アクティブモード動作のみが許可されます。希望のデフォルト値をアドレス 31h のビット 5 に設定する必要があります。出荷時のデフォルト値は 0 です。

**RNAOP**— Read Net Address オプコード。このビットの 0 の値によって Read Net Address コマンドのオプコードが 33h に設定され、また 1 の値によってこのオプコードは 39h に設定されます。このレジスタは読み取り専用です。希望のデフォルト値をアドレス 31h のビット 4 に設定する必要があります。出荷時のデフォルト値は 0 です。

**UVEN**—低電圧スリープのイネーブル。PMOD の 1 の値とともに、UVEN の 1 の値によって、 $V_{\text{IN}}$  の電圧が  $t_{\text{UVD}}$  の間、低電圧スレッシュホールド  $V_{\text{UV}}$  を下回ると(バッテリーの消耗)、DS2756 はスリープモードに移行できるようにします。0 の値は、DS2756 が低電圧の発生時にスリープモードに移行することをディセーブルします。希望のデフォルト値をアドレス 31h のビット 3 に設定する必要があります。出荷時のデフォルト値は 0 です。

**IOS**—割込み出力の選択。IOS を 1 に設定すると、アラームコンパレータ割込みの DQ アラーム割込み通知方式が選択されます。IOS が 0 にクリアされると、PIO アラーム割込み通知方式が選択されます。いずれかの方式を使ってアラームコンパレータ割込みを通知するには、IE ビットを設定し、PIE ビットをクリアする必要があります。希望のデフォルト値をアドレス 31h のビット 2 に設定する必要があります。出荷時のデフォルト値は 0 です。

**OBEN**—オフセットブランキングのイネーブル。このビット位置の 1 の値によって、「電流積算」の項で説明されたオフセットブランキング機能がイネーブルになります。0 に設定される場合は、オフセットブランキング機能はディセーブルになります。希望のデフォルト値をアドレス 31h のビット 1 に設定する必要があります。出荷時のデフォルト値は 0 です。

**OVD**—オーバドライブタイミングのイネーブル。このビット位置の 1 の値によって、オーバドライブの 1-Wire タイミングがイネーブルになります。0 に設定されると、通常モードタイミングがイネーブルになります。希望のビット値をアドレス 31h (EEPROM ブロック 0 の位置)のビット 1 に書き込み、1-Wire 速度の変更が有効になる前に呼び出す必要があります。電源投入時のリセットによって、EEPROM のブロック 0 から設定値が呼び出されます。アドレス 31h のビット 1 の出荷時デフォルト値は 0 です(標準の 1-Wire タイミング)。

**X**—予備ビット。

## EEPROM レジスタ

EEPROM レジスタのフォーマットは図 16 に示されています。各ビットの機能は以下の段落で詳述します。

図 16. EEPROM レジスタのフォーマット

Address 07h							
bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
EEC	LOCK	X	X	X	BL2	BL1	BL0

**EEC**—EEPROM コピーのフラグ。この読取り専用ビットの 1 は、Copy Data コマンドが実行中であることを示します。このビットがハイである間は、EEPROM アドレスへの書込みは無視されます。このビットが 0 である場合は、データをロックされていない EEPROM ブロックに書き込むことができることを示します。

**LOCK**—EEPROM ロックのイネーブル。このビットが 0 の場合は、Lock コマンドは無視されます。このビットに 1 を書き込むと、Lock コマンドがイネーブルになります。Lock コマンドを実行した後に、LOCK ビットは 0 にリセットされます。出荷時のデフォルト値は 0 です。

**BL2**—EEPROM ブロック 2 のロックフラグ。この読取り専用ビットの 1 は EEPROM ブロック 2 (アドレス 60h~7Fh)がロックされていることを示し(読取り専用)、また 0 はブロック 1 がロックされていないことを示します(読取り/書込み可能)。

**BL1**—EEPROM ブロック 1 のロックフラグ。この読取り専用ビットの 1 は EEPROM ブロック 1 (アドレス 40h~5Fh)がロックされていることを示し(読取り専用)、また 0 はブロック 1 がロックされていないことを示します(読取り/書込み可能)。

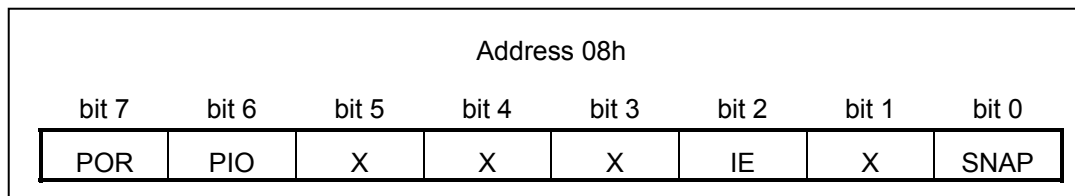
**BL0**—EEPROM ブロック 0 のロックフラグ。この読取り専用ビットの 1 は EEPROM ブロック 0 (アドレス 20h~3Fh)がロックされていることを示し(読取り専用)、また 0 はブロック 0 がロックされていないことを示します(読取り/書込み可能)。

**X**—予備ビット。

## 特別機能レジスタ

特別機能レジスタのフォーマットは、図 17 に示されています。各ビットの機能は、以下の段落で詳述します。

図 17. 特別機能レジスタのフォーマット



**POR**—POR インジケータビット。DS2756 にパワーオンリセット(POR)イベントが発生すると、このビットは 1 に設定されます。POR ビットを使ってパワーオンリセットを検出するには、電源投入時および POR に続いて発生する各イベント後にホストシステムが POR ビットを 0 に設定する必要があります。このビットは、読取りおよび 0 の書込みが可能です。

**PIO**—PIO ピンの検出および制御。この読取り/書込みビットの詳細については、「プログラマブル I/O」の項を参照してください。

**IE**—割込みのイネーブル。このビット位置の 1 の値によって、ホストシステムに対するアラームコンパレータ割込み信号処理がイネーブルになります。IE が 0 の場合は、アラームコンパレータ割込み信号処理がディセーブルになり、アラームコンパレータレジスタを SRAM として使用可能で、デバイス動作に影響を与えません。IE ビットは、読取りおよび 1 の書込みが可能です。IE は、DQ の 1-Wire リセットによって 0 にクリアされます。

**SNAP**—スナップショットの制御。このビットは、DS2756 がスナップショットの変換ペアを実行した直後に 1 に設定されます。SNAP = 1 は、電流と電圧のレジスタがスナップショット結果を保有していることを示します。SNAP = 1 である間は、ホストシステムが SNAP ビットに 0 を書き込むまで、スナップショット結果は電流と電圧のレジスタに保持されます。このビットは、読取りおよび 0 の書込みが可能です。

**X**—予備ビット。

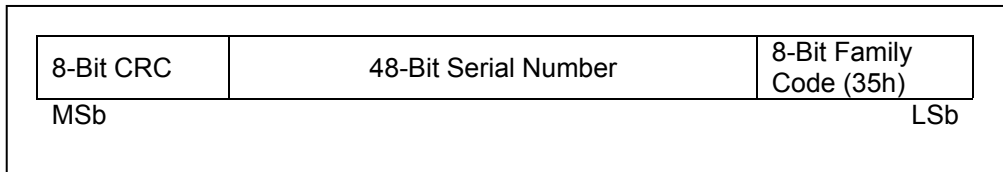
## 1-Wire バスシステム

1-Wire バスは、単一のバスマスタと、1 個または複数のスレーブで構成されるシステムです。マルチドロップバスは、複数のスレーブを備える 1-Wire バスです。シングルドロップバスには、1 個のスレーブデバイスしかありません。どの場合でも、DS2756 はスレーブデバイスです。バスマスタは通常、ホストシステム内のマイクロプロセッサです。このバスシステムの説明は、64 ビットネットアドレス、ハードウェア構成、トランザクションシーケンス、および 1-Wire 信号処理の 4 つのトピックで構成されます。

## 64 ビットネットアドレス

各 DS2756 は、64 ビット長の固有の出荷時設定済み 1-Wire ネットアドレスを備えています。先頭からの 8 ビットは、1-Wire ファミリーコード(DS2756 の場合は 35h)です。その次の 48 ビットは、固有のシリアル番号です。最後の 8 ビットは、先頭からの 56 ビットの CRC です(図 18 参照)。64 ビットネットアドレスとデバイスに内蔵された 1-Wire I/O 回路によって、DS2756 は、このデータシートの「1-Wire バスシステム」の項で詳述される 1-Wire プロトコルを通じて通信することができます。

図 18. 1-Wire ネットアドレスのフォーマット



## CRC の生成

DS2756 は、1-Wire ネットアドレスの最上位バイトに保存されている 8 ビット CRC を備えています。アドレスをエラーなしで伝送するために、ホストシステムはアドレスの先頭の 56 ビットから CRC 値を計算して、その値を DS2756 の CRC と比較することができます。ホストシステムは CRC 値を検証し、その結果による対応策を取る役割を持ちます。DS2756 は CRC 値を比較せず、CRC 不整合の結果によるコマンドシーケンスの進行中止を行いません。CRC を正しく使用すると、整合性が非常にレベルが高い通信チャネルを実現することができます。

図 19 に示すように、シフトレジスタおよび XOR ゲートで構成される回路を使ってホストが CRC を生成することができます。またソフトウェアでも生成可能です。ダラス 1-Wire CRC の詳細は、アプリケーションノート 27: *ダラスセミコンダクタの iButton® 製品に用いる巡回冗長検査(CRC)の理解と用法*に記載されています。

図 19. 1-Wire CRC 生成のブロック図

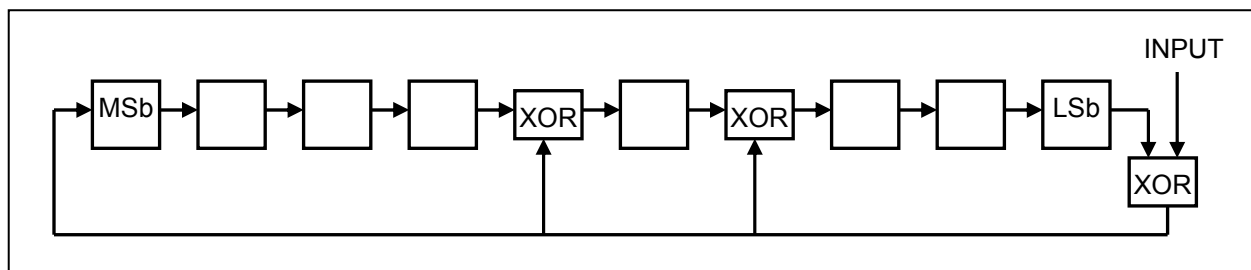


図 19 の回路で、シフトレジスタは 0 に初期化されます。次にファミリーコードの最下位ビットから、一度に 1 ビットずつシフトインされます。ファミリーコードの 8 番目のビットが入力されると、シリアル番号が入力されます。シリアル番号の 48 番目のビットが入力されると、シフトレジスタは CRC 値を備えます。

## ハードウェア構成

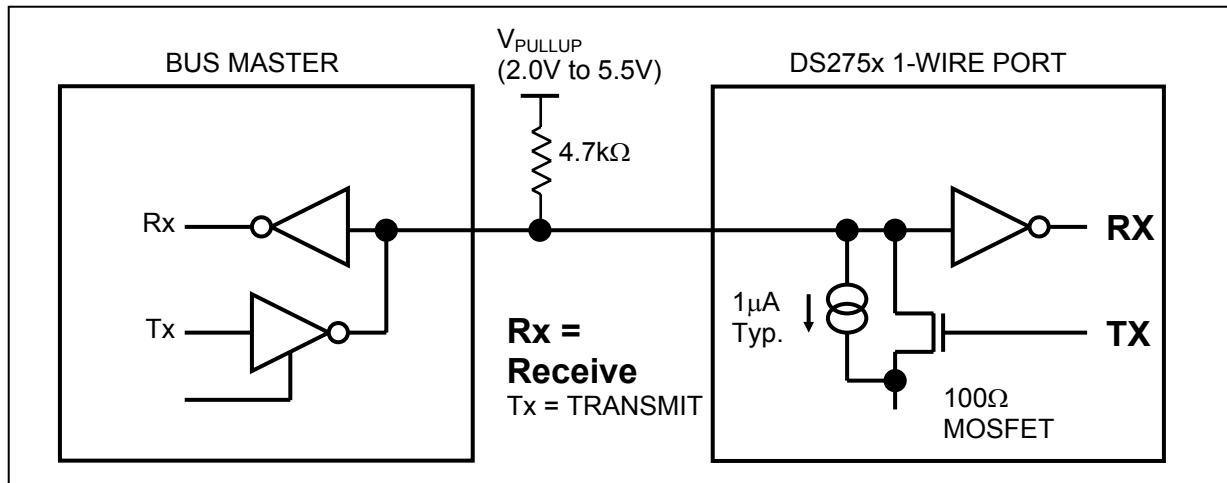
1-Wire バスには 1 本の線しかないため、バス上の各デバイスが適時これを駆動可能であることが不可欠です。これを容易にするために、1-Wire バスに接続された各デバイスは、オープンドレイン出力ドライバまたはトライステート出力ドライバを備えるバスに接続する必要があります。DS2756 は、図 20 に示す双方向インタフェース回路の構成要素としてオープンドレイン出力ドライバを使用します。双方向ピンがバスマスタにない場合は、独立した出力ピンと入力ピンを互いに接続することができます。

1-Wire バスは、バスのバスマスタの終端にプルアップ抵抗を配置する必要があります。ライン長が短い場合は、この抵抗の値を約 5kΩにする必要があります。1-Wire バスのアイドル状態はハイです。なんらかの理由でバストランザクションを一時停止する必要がある場合は、後でトランザクションを正常に再開するために、バスはアイドル状態である必要があります。バスが 120μs

*iButton* は Dallas Semiconductor の登録商標です。

以上の間ロー状態の場合は、バス上のスレーブデバイスはこのロー期間をリセットパルスと見なすようになり、トランザクションが効率的に終了します。

図 20. 標準的な 1-Wire バスインタフェース回路



DS2756 をサスペンドモードに移行させるには、プルアップをディセーブルする必要があります。DS2756 の DQ 入力の内部プルダウンは、プルアップが完全に切断されると、DQ がロジックローにプルされるようになります。マイクロプロセッサを使って、図 1 に示すようにプルアップ抵抗を汎用ポートピンと DS2756 の DQ 端子の間に接続することができます。プルアップ制御(Pullup Control)と表示される GPIO ピンは、アクティブモード用にハイにドライブすることができます。データ I/O (Data I/O)と表示されるピンは、シリアル通信用に双方向で使用します。スタンバイモードを希望する場合は、プルアップ制御ピンをローにするか、またはハイ Z 状態で無接続状態にすることができます。電流の読取り値がサスペンドスレッシュホールドの範囲内にある場合は、移行するように設定されていると、DS2756 はサスペンドモードに移行します(PMOD = 1 および PIE ≠ 00)。

## トランザクションシーケンス

1-Wire ポートを通じて DS2756 にアクセスするためのプロトコルは、以下の通りです。

- 初期化
- Net Address コマンド
- 機能コマンド
- トランザクション/データ

以降の項で、これらの各ステップを詳述します。

1-Wire バスのすべてのトランザクションは、バスマスタから伝送されるリセットパルスと、DS2756 およびバス上のその他のスレーブから同時に伝送される後続のプレゼンスパルスで構成される初期化シーケンスから始まります。プレゼンスパルスは、1 個または複数のデバイスがバス上にあり、動作可能であることをバスマスタに通知します。詳細については、「I/O 信号処理」の項を参照してください。

## ネットアドレスコマンド

バスマスタが 1 個または複数のスレーブのプレゼンスを検出すると、以下の段落で示すネットアドレスコマンドのいずれか 1 つを発行することができます。各コマンド名の後に、角括弧で囲まれたコマンドの 8 ビットオプコードが続きます。図 21 は、ネットアドレスコマンドのトランザクションフローチャートを示しています。

**Read Net Address [33h または 39h]**。このコマンドによって、バスマスタは DS2756 の 1-Wire ネットアドレスを読み取ることができます。バス上のスレーブが 1 個の場合に限り、このコマンドを使用することができます。複数のスレーブが存在する場合は、すべてのスレーブが同時に伝送しようとすると、データの衝突が発生します(オーブンドレインがワイヤード AND の結果を出力)。ステータスレジスタ内の RNAOP ビットは、このコマンドのオプコードを選択します。RNAOP = 0 は 33h を示し、RNAOP = 1 は 39h を示します。

**Match Net Address [55h]**。このコマンドによって、バスマスタは 1-Wire バス上の 1 個の DS2756 を個別にアドレス指定することができます。アドレス指定された DS2756 のみが、以降の機能コマンドに応答します。他のすべてのスレーブデバイスは機能コマンドを無視し、リセットパルスを待ちます。このコマンドは、バス上の 1 つまたは複数のデバイスで使用することができます。

**Skip Net Address [CCh]**。バス上に DS2756 が 1 個だけある場合に、スレーブのアドレスを指定せずにバスマスタが機能コマンドを発行することによって、このコマンドは時間を節約します。複数のスレーブデバイスがバス上に存在する場合は、すべてのスレーブが同時にデータを伝送すると、以降の機能コマンドによってデータの衝突が発生する場合があります。

**Search Net Address [F0h]**。このコマンドを使って、バスマスタが消去法によってバス上の全スレーブデバイスの 1-Wire ネットアドレスを識別することができます。検索プロセスは、1 ビットの読み取り、そのビットの補数を読み取り、そのビットの希望の値を書き込みなどの単純な 3 ステップのルーチンの繰返しで構成されます。バスマスタは、ネットアドレスの各ビット位置でこの単純な 3 ステップのルーチンを実行します。全 64 ビットにわたって 1 回の処理が完了すると、バスマスタは 1 個のデバイスのアドレスを認識します。次に、残りのデバイスをプロセスの繰返し処理で識別することができます。実例を含むネットアドレス検索に関する包括的な説明については、*DS19xx iButton Standards* の第 5 章を参照してください。この文書は、マキシム/ダラスのウェブサイト [japan.maxim-ic.com](http://japan.maxim-ic.com) にあります。

## 機能コマンド

ネットアドレスコマンドのいずれか 1 つを正常に終了すると、バスマスタは以下の段落に示す機能コマンドのいずれかを使って DS2756 の機能にアクセスすることができます。それぞれの機能名の後に、角括弧で囲まれたコマンドの 8 ビットオPCODE が続きます。

**Read Data [69h, XX]**。このコマンドは、メモリアドレス XX から始まるデータを DS2756 から読み取ります。アドレス XX のデータの最下位ビットを、アドレスの最上位ビットを入力した直後に読み取るために利用することができます。各バイトの最上位ビットが受け取られるとアドレスが自動的にインクリメントされるため、アドレス XX + 1 にあるデータの最下位ビットは、アドレス XX にあるデータの最上位ビットの直後に読み取るために利用することができます。バスマスタがアドレス FFh を越えて読取りを続ける場合は、リセットパルスが発生するまで DS2756 はロジック 1 を出力します。メモリマップで「予備(reserved)」と表示されるアドレスは未定義のデータを備えています。ビット境界にあるリセットパルスによってバスマスタで Read Data コマンドを終了することができます。

**Write Data [6Ch, XX]**。このコマンドは、メモリアドレス XX から始まるデータを DS2756 に書き込みます。アドレス XX に保存されるデータの最下位ビットは、アドレスの最上位ビットを入力した直後に書き込むことができます。各バイトの最上位ビットが書き込まれた後にアドレスが自動的にインクリメントされるため、アドレス XX + 1 に保存される最下位ビットは、アドレス XX に保存される最上位ビットの直後に書き込むことができます。バスマスタがアドレス FFh を越えて書き込みを続ける場合は、DS2756 はそのデータを無視します。読取り専用アドレス、予備アドレス、およびロックされた EEPROM ブロックに対する書き込みは無視されます。不完全なバイトは書き込まれません。ロックされていない EEPROM ブロックに対する書き込みは、EEPROM ではなくシャドー RAM に対する書き込みになります。詳細については、「メモリ」の項を参照してください。

**Copy Data [48h, XX]**。このコマンドは、アドレス XX を含む 32 バイト EEPROM ブロック用にシャドー RAM の内容を EEPROM にコピーします。ロックされたブロックのアドレスを指定する Copy Data コマンドは無視されます。Copy Data コマンドの実行中は、EEPROM レジスタ内の EEC ビットは 1 に設定され、EEPROM アドレスに対する書き込みは無視されます。コピーが進行している間でも、EEPROM 以外のアドレスに対する読取りと書き込みを行うことができます。Copy Data コマンドの実行時間の  $t_{EEC}$  は 2ms (typ) であり、最後のアドレスビットの伝送後に始まります。

**Recall Data [B8h, XX]**。このコマンドは、アドレス XX を含む 32 バイト EEPROM ブロックの内容をシャドー RAM に呼び出します。

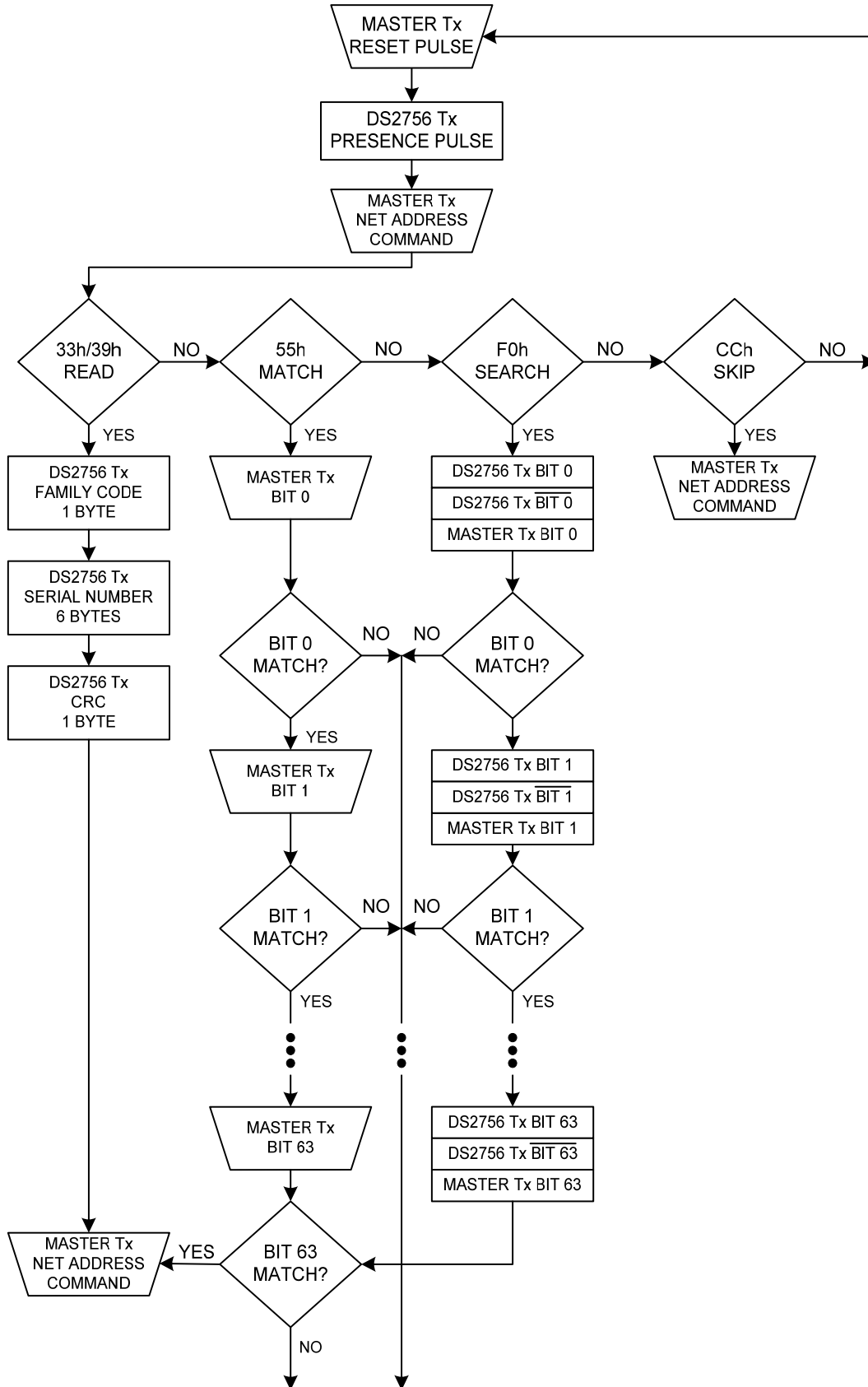
**Lock [6Ah, XX]**。このコマンドは、メモリアドレス XX を含む EEPROM メモリの 32 バイトブロックをロック(書き込み保護)します。Lock コマンドを実行する前に、EEPROM レジスタ内の LOCK ビットを 1 に設定する必要があります。この LOCK ビットが 0 の場合は、Lock コマンドは機能しません。Lock コマンドは半永久的であり、ロックされたブロックに再び書き込むことはできません。

**Sync [D2h, XX]**。このコマンドによって、バスを使って電流および電圧のスナップショット読取りをトリガすることができます。Sync コマンドの発行の後に、バスは測定トリガを待機するアイドル状態に戻ります。コマンドバイト後に発行された先頭のデータビットで、バスがハイからローに遷移し、次にローからハイに遷移すると、スナップショット測定が実行されます。スナップショットの測定をトリガするには、データバイトの 1 ビットのみが必要です。スナップショットのトリガイベントごとに、1 つのスナップショットコマンドを発行する必要があります。

表 4. 機能コマンド

COMMAND	DESCRIPTION	COMMAND PROTOCOL	BUS STATE AFTER COMMAND PROTOCOL	BUS DATA
Read Data	Reads data from memory starting at address XX	69h, XX	Master Rx	Up to 256 bytes of data
Write Data	Writes data to memory starting at address XX	6Ch, XX	Master Tx	Up to 256 bytes of data
Copy Data	Copies shadow RAM data to EEPROM block containing address XX	48h, XX	Bus idle	None
Recall Data	Recalls EEPROM block containing address XX to shadow RAM	B8h, XX	Bus idle	None
Lock	Permanently locks the block of EEPROM containing address XX	6Ah, XX	Bus idle	None
Sync	Arms the Snapshot Measurement Mode	D2h, XX	Bus idle	None

図 21. Net Address コマンドのフローチャート





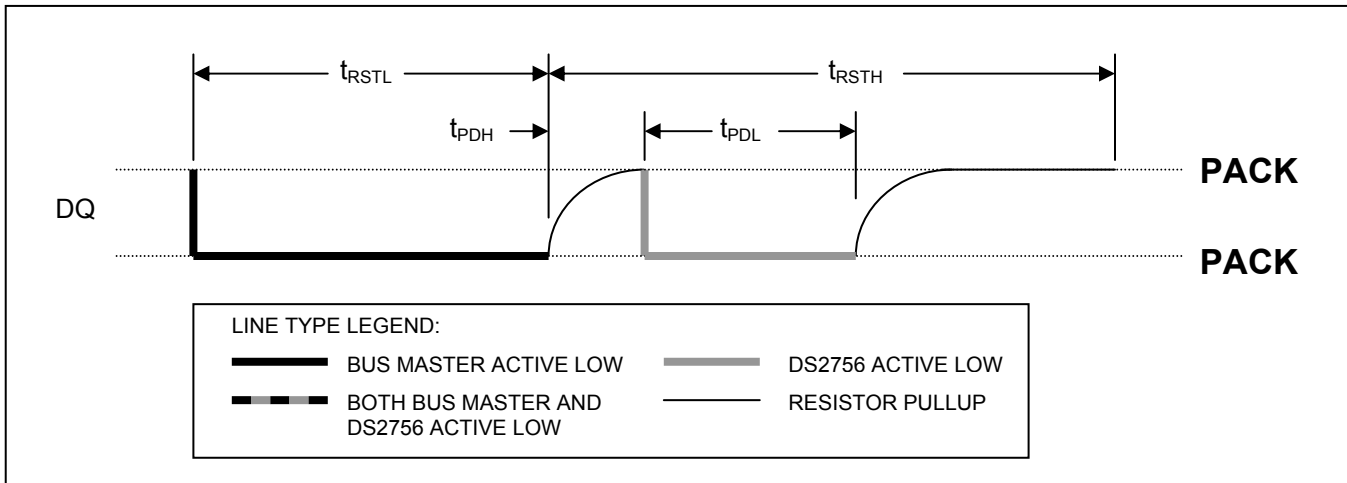
## I/O 信号処理

1-Wire バスには、データの完全性を確保するために厳格な信号処理プロトコルが必要です。使用される 4 つのプロトコルまたは信号処理タイプは以下の通りです。

- 1) 初期化シーケンス(リセットパルスに後続するプレゼンスパルス)
- 2) Write 0
- 3) Write 1
- 4) Read Data

すべての信号処理は、バスマスタによって開始されます。プレゼンスパルスを除き、バスマスタがすべての立下りエッジを生成します。DS2756 との通信開始に必要な初期化シーケンスは、図 22 に示されています。リセットパルスに続くプレゼンスパルスは、DS2756 がネットアドレスコマンドを受け付け可能であることを示します。バスマスタは、リセットパルスを  $t_{RSTL}$  の間送信(Tx)します。次にバスマスタはラインを解放し、受信モード(Rx)に移行します。続いて、1-Wireバスラインはプルアップ抵抗によってハイにプルされます。DQピンで立上りエッジを検出すると、DS2756 は  $t_{PDH}$  の間待機し、続いてプレゼンスパルスを  $t_{PDL}$  の間送信します。

図 22. 1-Wire 初期化シーケンス



## 書き込みタイムスロット

バスマスタが1-Wireバスをロジックハイ(非アクティブ)レベルからロジックローレベルにプルすると、書き込みタイムスロットが開始されます。Write 1 (1の書き込み)およびWrite 0 (0の書き込み)の2種類の書き込みタイムスロットがあります。すべての書き込みタイムスロットは、1 $\mu$ sの最短リカバリ時間がサイクル間で  $t_{REC}$  であり、持続時間が  $t_{SLOT}$  である必要があります。

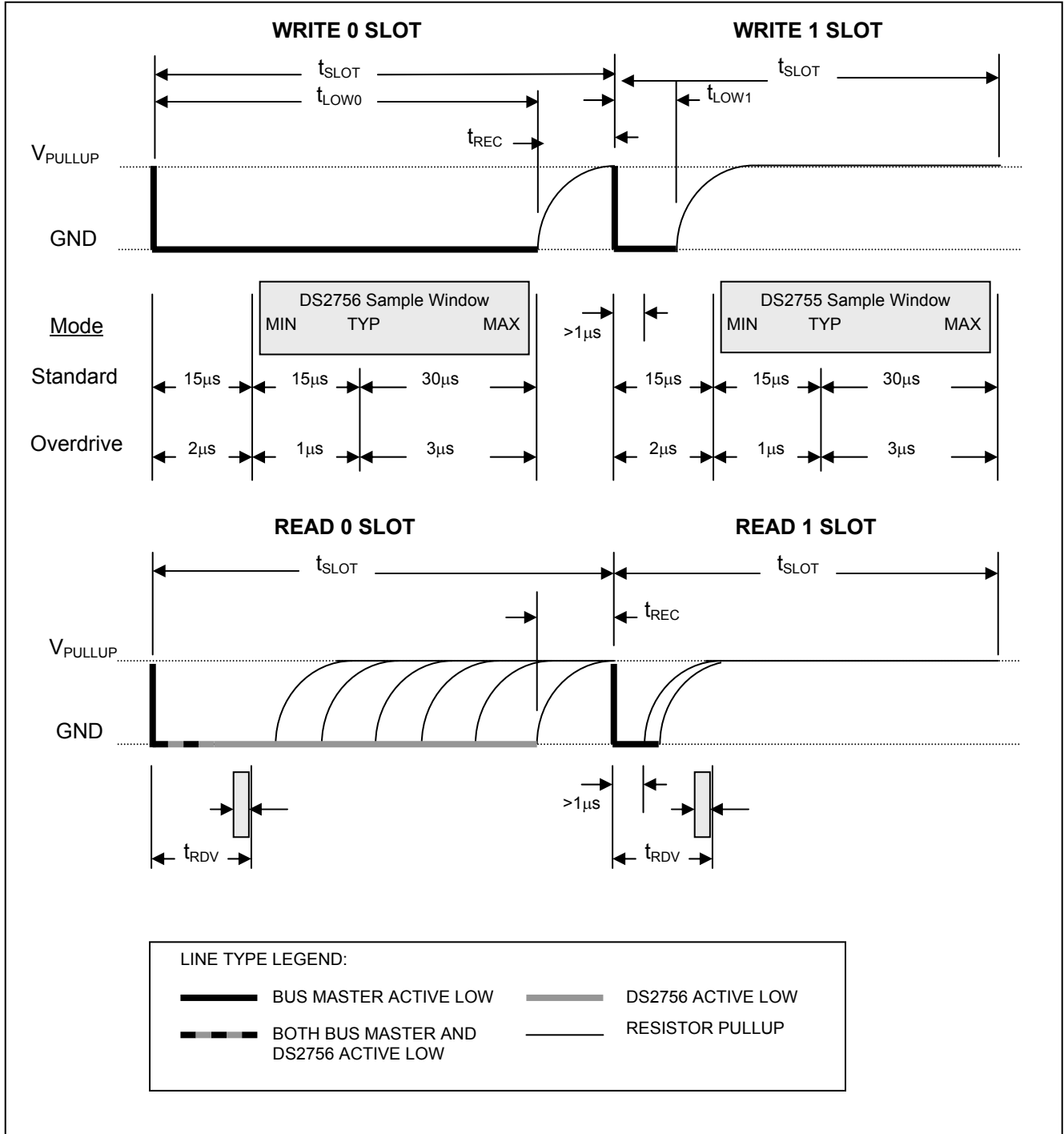
バスマスタは、1-Wireバスラインを  $t_{LOW1}$  の間、ローにプルしてから解放して、Write 1タイムスロットを生成します。バスは、書き込みタイムスロットの開始後に、標準モードで15 $\mu$ s以内、またはオーバドライブモードで2 $\mu$ s以内にハイにプルする必要があります。バスマスタは、1-Wireバスラインをローにプルしてから、 $t_{LOW0}$  の間または書き込みタイムスロットの終了まで、1-Wireバスラインをローに維持することによって、Write 0タイムスロットを生成します。

DS2756 は、バスラインがローになった後に 1-Wire バスをサンプリングし、サンプリングは標準モードで 15 $\mu$ s~60 $\mu$ s の間、オーバドライブモードで 2 $\mu$ s~6 $\mu$ s の間行われます。DS2756 によるサンプリング時にラインがハイの場合は Write 1 が実行され、したがって、DS2756 は 1 であるビット値を受け付けます。サンプリング時にラインがローの場合は Write 0 が実行され、したがって、DS2756 は 0 であるビット値を受け付けます。詳細については、図 23 を参照してください。

## 読取りタイムスロット

バスマスタが 1-Wireバスラインをロジックハイレベルからロジックローレベルにプルすると、読取りタイムスロットが開始されます。バスマスタが生成する読取りタイムスロットは、DS2756 が供給するデータに応じて Read 1 (1 の読取り)および Read 0 (0 の読取り)を生成します。すべての読取りタイムスロットは、1 $\mu$ sの最短リカバリ時間がサイクル間で  $t_{REC}$  であり、持続時間が  $t_{SLOT}$  である必要があります。バスマスタは最短 1 $\mu$ sの間、バスラインをローにプルしてから解放することによって、読取りタイムスロットを開始し、DS2756 が有効データを供給可能になります。DS2756 は、ラインをローに維持することによって Read 0 を生成します。ラインは、読取りタイムスロットの開始から最短で Read Data Valid時間( $t_{RDV}$ )の間、ローに維持されます。DS2756 はバスラインを解放し、 $t_{RDV}$  からしばらく後の読取りタイムスロットの終了前に、外付けプルアップ抵抗によってバスラインをハイにプルすることができます。タイムスロットがマスタによって開始された後にラインをローに維持しないことによって、Read 1 が生成されます。ラインはマスタによって解放されるとすぐに、ハイにプルすることができます。DS2756 から伝送されるデータ値を読み取るには、バスマスタは、タイムスロットの初期化後と  $t_{RDV}$  の前にバスをサンプリングする必要があります。パッシブプルアップ 1-Wireバスの立上り時間を確保するには、 $t_{RDV}$  にできる限り近い時間、サンプリングを行う必要があります。詳細については、図 23 を参照してください。

図 23. 1-Wire 書込み/読取りタイムスロット



### パッケージ

(このデータシートのパッケージ図は、最新の仕様を反映していない場合があります。最新のパッケージの概要については、[japan.maxim-ic.com/DallasPackInfo](http://japan.maxim-ic.com/DallasPackInfo)を参照してください)