

5.0V、8ビット、 プログラマブルタイミング素子

概要

DS1124は、DS1021~25と機能的に類似した8ビットのプログラマブルタイミング素子です。256段階の遅延間隔を、3線式シリアルインタフェースを通じて設定します。0.25nsのステップサイズで、DS1124は、 ± 3 nsの積分非直線性で20ns~84nsの遅延時間を提供することができます。

アプリケーション

LCDテレビ

テレコム

デジタル試験装置

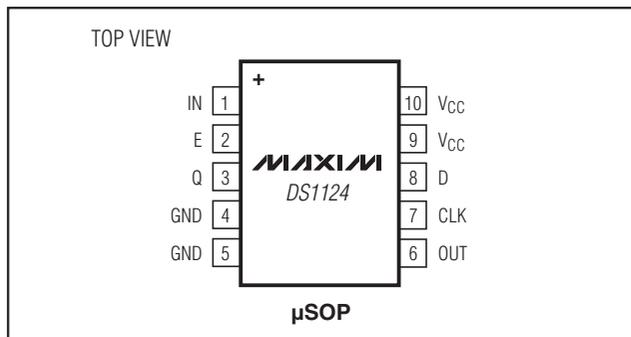
デジタルビデオプロジェクション

信号発生器およびアナライザ

特長

- ◆ ステップサイズ：0.25ns
- ◆ 前縁および後縁で高精度
- ◆ CMOS/TTL互換
- ◆ 信号を1周期以上遅延可能
- ◆ 3線式シリアルプログラミングインタフェース
- ◆ 単一電源：5.0V
- ◆ 10ピン μ SOPパッケージ

ピン配置

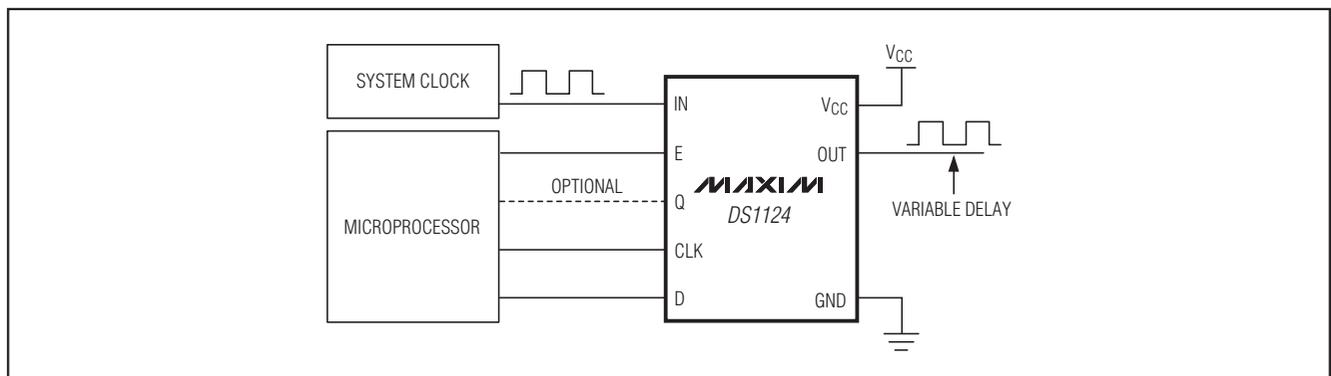


型番

PART	TEMP RANGE	PIN-PACKAGE
DS1124U-25+	-40°C to +85°C	10 μ SOP
DS1124U-25+T	-40°C to +85°C	10 μ SOP (Tape-and-Reel)

+は鉛フリーパッケージを示します。

標準動作回路



5.0V、8ビット、 プログラマブルタイミング素子

DS1124

ABSOLUTE MAXIMUM RATINGS

Voltage Range on V_{CC} Pin Relative to Ground-0.5V to +6.0V
 Voltage Range on IN, E, D, and CLK
 Relative to Ground*-0.5V to (V_{CC} + 0.5V)
 Operating Temperature Range-40°C to +85°C

Storage Temperature Range-55°C to +125°C
 Short-Circuit Output Current50mA for 1 second
 Soldering Temperature.....See J-STD-020 Specification

*Not to exceed +6.0V.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

RECOMMENDED OPERATING CONDITIONS

(T_A = -40°C to +85°C)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Supply Voltage	V _{CC}	(Note 1)	4.75		5.25	V
Input Logic 1	V _{IH}		2.2		V _{CC} + 0.3	V
Input Logic 0	V _{IL}		-0.3		+0.8	V

DC ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.75V to +5.25V, T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Active Current	I _{CCA}			15	30	mA
High-Level Output Current	I _{OH}	V _{CC} = min, V _{OH} = 2.3V			-1.0	mA
Low-Level Output Current	I _{OL}	Q pin, V _{CC} = min, V _{OL} = 0.5V			4.0	mA
		OUT pin, V _{CC} = min, V _{OL} = 0.5V			8.0	
Input Leakage	I _L		-1.0		+1.0	μA

AC ELECTRICAL CHARACTERISTICS

(V_{CC} = +4.75V to +5.25V, T_A = -40°C to +85°C, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Serial Clock Frequency	f _{CLK}				10	MHz
Input Pulse Width (E, CLK)	t _{EW} , t _{CW}		50			ns
Data Setup to Clock	t _{DSC}		30			ns
Data Hold from Clock	t _{DHC}		0			ns
Data Setup to Enable	t _{DSE}		30			ns
Data Hold to Enable	t _{DHE}		0			ns
Enable Setup to Clock	t _{ES}		0			ns
Enable Hold from Clock	t _{EH}		30			ns
E to Q Valid	t _{EQV}				50	ns
E to Q High Impedance	t _{EQZ}		0		50	ns
CLK to Q Valid	t _{CQV}				50	ns
CLK to Q Invalid	t _{CQX}		0			ns

AC ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = +4.75V$ to $+5.25V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
E to Delay Valid	t_{EDV}				50	μs
E to Delay Invalid	t_{EDX}		0			ns
Power-Up Time	t_{PU}				100	ms
Delay Step Size	t_{STEP}	$T_A = +25^{\circ}C$	-0.75	+0.25	+1	ns
Step 0 Delay	T_{D0}	(Note 2)	17	20	23	ns
Step 0 Delay Initial Accuracy		$V_{CC} = 5V$, $T_A = +25^{\circ}C$	-0.6		+0.6	ns
Step 0 Voltage Variation			-0.4		+0.4	ns
Step 0 Temperature Variation		$0^{\circ}C$ to $+70^{\circ}C$	-1		+1	ns
Step 0 Temperature Variation		$-40^{\circ}C$ to $+85^{\circ}C$	-1		+1	ns
Step 255 Delay	T_{D255}	(Note 2)	77	83.75	88	ns
Step 255 Delay Initial Accuracy		$V_{CC} = 5V$, $T_A = +25^{\circ}C$	-0.6		+0.6	ns
Step 255 Voltage Variation			-0.4		+0.4	ns
Step 255 Temperature Variation		$0^{\circ}C$ to $+70^{\circ}C$	-3		+3	ns
Step 255 Temperature Variation		$-40^{\circ}C$ to $+85^{\circ}C$	-5		+5	ns
Integral Nonlinearity (Deviation from Straight Line)	t_{ERR}	$T_A = +25^{\circ}C$ (Note 3)	-2	0	+2	ns
Minimum Input Pulse Width	t_{WI}	(Note 4)	40			ns
Minimum Input Period	t_{PER}	(Note 5)	80			ns
Input Rise and Fall Times	t_R, t_F	(Note 6)	0		1	μs

Note 1: All voltages are referenced to ground.

Note 2: Measured from rising edge of the input to the rising edge of the output. The programmed delay, t_D , can be programmed with values from 0 to 255. See Figure 1.

Note 3: See the *Integral Nonlinearity* section and Figure 6.

Note 4: This is the minimum allowable interval between transitions on the input to ensure accurate device operation. This parameter can be violated but timing accuracy may be impaired and ultimately very narrow pulse widths will result in no output from the device. See Figure 1.

Note 5: When a 50% duty cycle input clock is used, this defines the highest usable clock frequency. When asymmetrical clock inputs are used, the maximum usable clock frequency must be reduced to conform to the minimum input pulse-width requirement. See Figure 1.

Note 6: Faster rise and fall times give the greatest accuracy in measured delay. Slow edges (outside the specification maximum) can result in erratic operations.

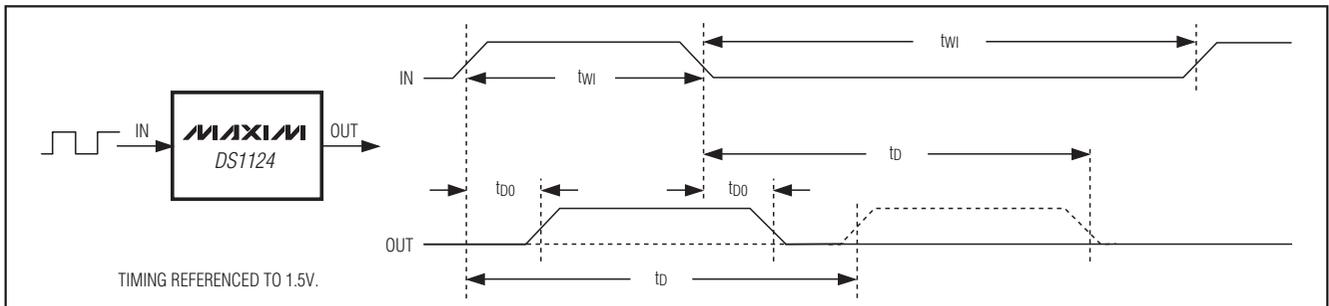


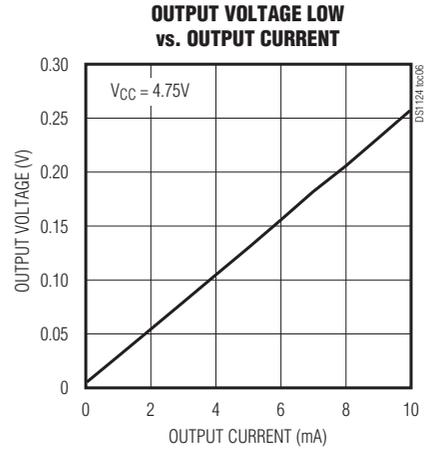
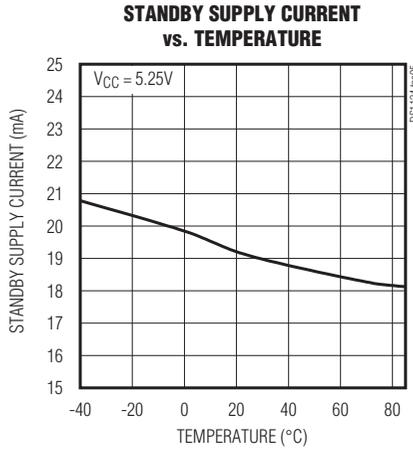
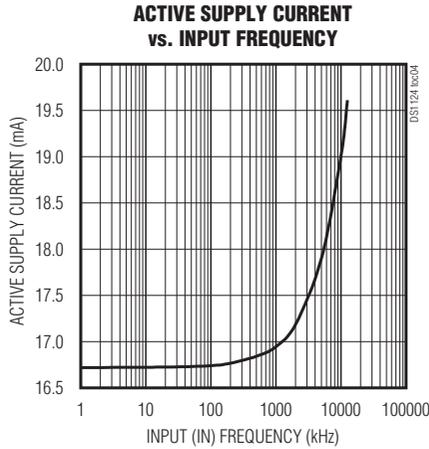
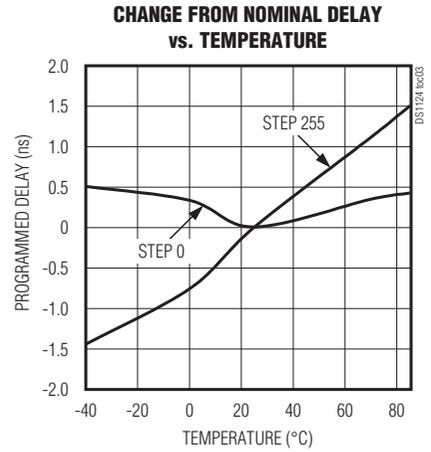
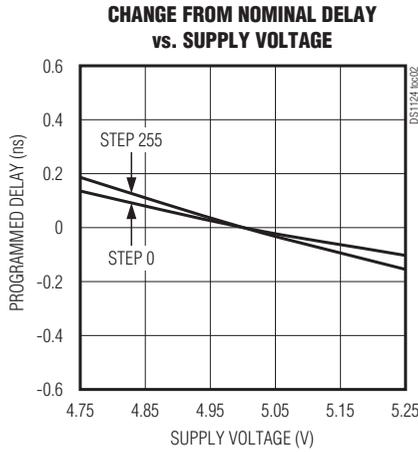
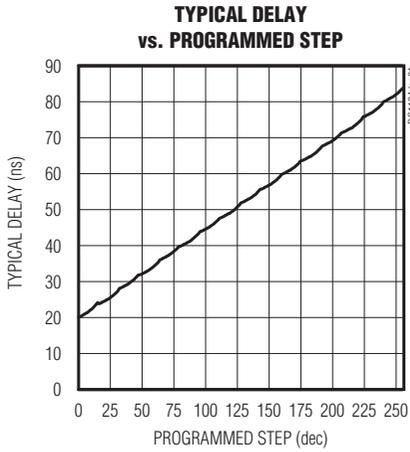
図1. 遅延のタイミング図

5.0V、8ビット、 プログラマブルタイミング素子

DS1124

標準動作特性

($V_{CC} = +5.0V$, $T_A = +25^\circ C$, unless otherwise noted.)

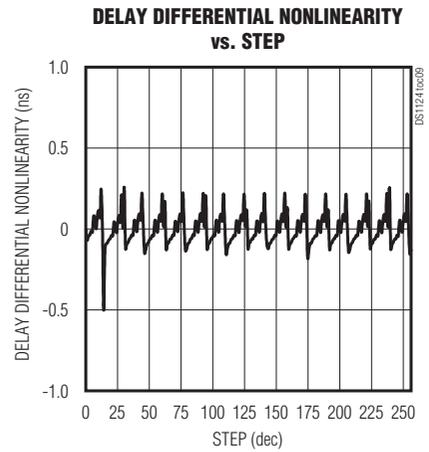
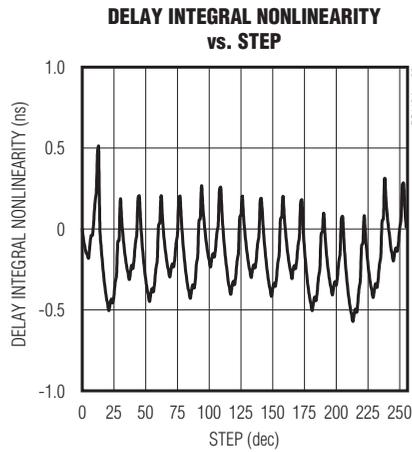
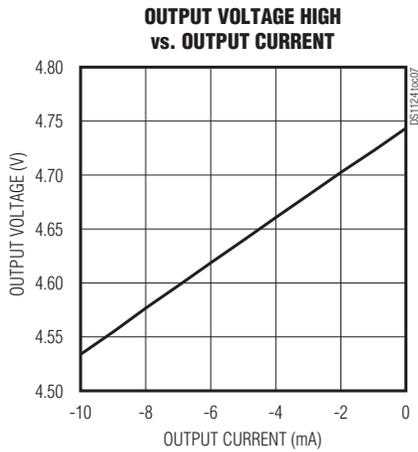


5.0V、8ビット、 プログラマブルタイミング素子

DS1124

標準動作特性(続き)

(V_{CC} = +5.0V, T_A = +25°C, unless otherwise noted.)



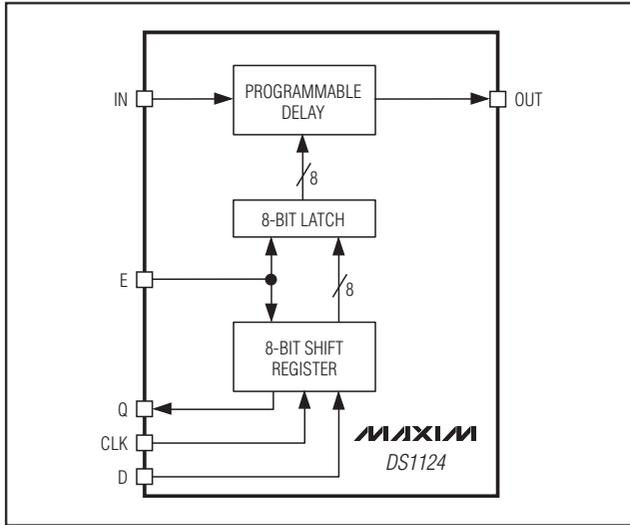
端子説明

端子	名称	機能
1	IN	遅延入力信号
2	E	入力イネーブル
3	Q	シリアルデータ出力
4, 5	GND	グランド。両方のグランド端子を接続する必要があります。
6	OUT	遅延出力信号
7	CLK	シリアルクロック入力
8	D	シリアルデータ入力
9, 10	V _{CC}	電源。両方の電源端子を接続する必要があります。

5.0V、8ビット、 プログラマブルタイミング素子

DS1124

ブロック図



詳細

DS1124は、256段階の遅延間隔を調整することができる8ビットのプログラマブルディレイラインです。DS1124のアーキテクチャ(図2参照)によって、入力信号を1周期以上遅延することが可能であるため、信号の位相を最大360°まで調整することができます。設定は3線式シリアルインタフェースを通じて行われます。3線式インタフェースの使用によって、複数のプログラマブル遅延を必要とするシステムにおいて、I/Oリソースを追加せずに複数のデバイスをまとめてカスケード接続することが可能です。

シリアルプログラミングインタフェースの使用

シリアルモードはシフトレジスタと同様に動作します。Eピンがハイのロジックレベルに設定されると、シフト

レジスタがイネーブルされ、CLKがデータDを最上位ビットから1ビットずつレジスタにクロックインします。8ビットすべてがDS1124にシフトインされた後、Eをローに駆動してデータ転送を終了し、新たな値を有効にする必要があります。Eがローに駆動された後にセトリング時間(t_{EDV})が必要であり、このセトリング時間後に信号遅延が指定精度を満たすことになります。図3は、シリアルインタフェースのタイミング図を示します。

3線式インタフェースは出力(Q)も備えており、この出力は、複数の3線式デバイスをカスケード接続するのに使用され、バス上にあるデバイスの現在値を読み取るのにも使用されます。3線式デバイスによって保存された現在値を読み取るためには、ラッチをイネーブルしてQの値を読み取った後、レジスタをクロック駆動する前にDに書き戻す必要があります。こうすると、レジスタの現在値は読み取られると同時にDS1124に書き戻されます。これはいくつかの異なる方法で実施することができます。入力として設定されたときハイインピーダンスとなるI/Oピンをマイクロプロセッサが備えている場合、フィードバック抵抗器(R_{FB} 、一般に1k Ω ~10k Ω)を使用するとQのデータが読み取られるときこのデータをDに書き戻すことができます(図4A参照)。マイクロプロセッサがそのI/Oピンにプルアップを内蔵している場合や独立した入力ピンと出力ピンを備えているだけの場合も、レジスタの値をやはり読み取ることができます。図4Bに示す回路では、Qの値をマイクロプロセッサによって読み取ることが可能で、マイクロプロセッサはバスをクロック駆動して次のビットを読み取る前にQの値をDに書き込む必要があります。Qの値をD(プルアップの有無は別として)に書き込まずにこの値を読み取ると、読取りが破壊的に行われます。破壊的読取りサイクルは、遅延設定に望ましくない変化をもたらす可能性があります。

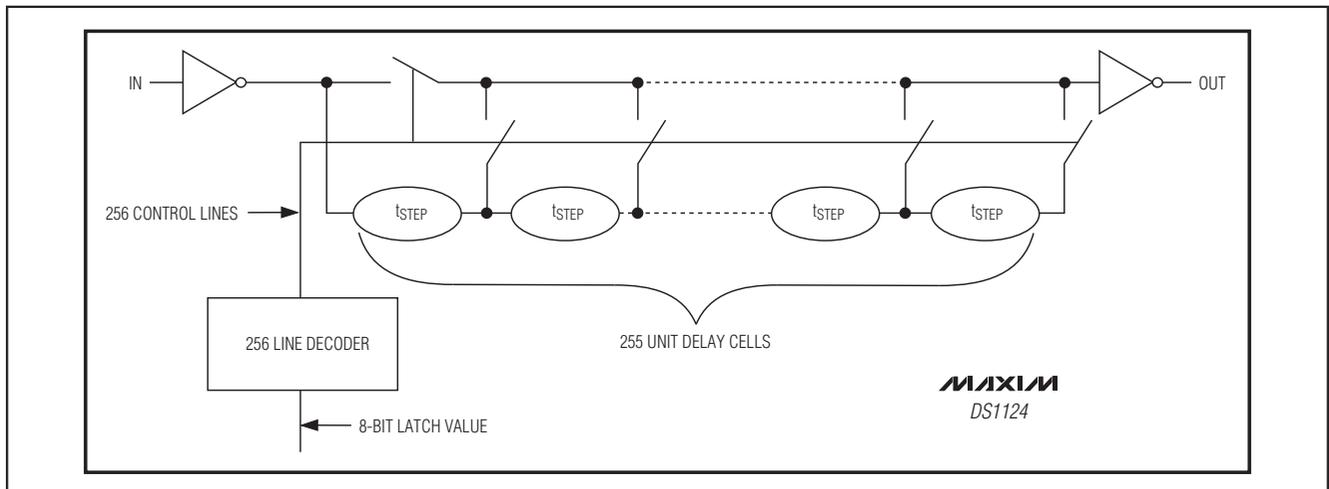


図2. 概念設計

5.0V、8ビット、 プログラマブルタイミング素子

DS1124

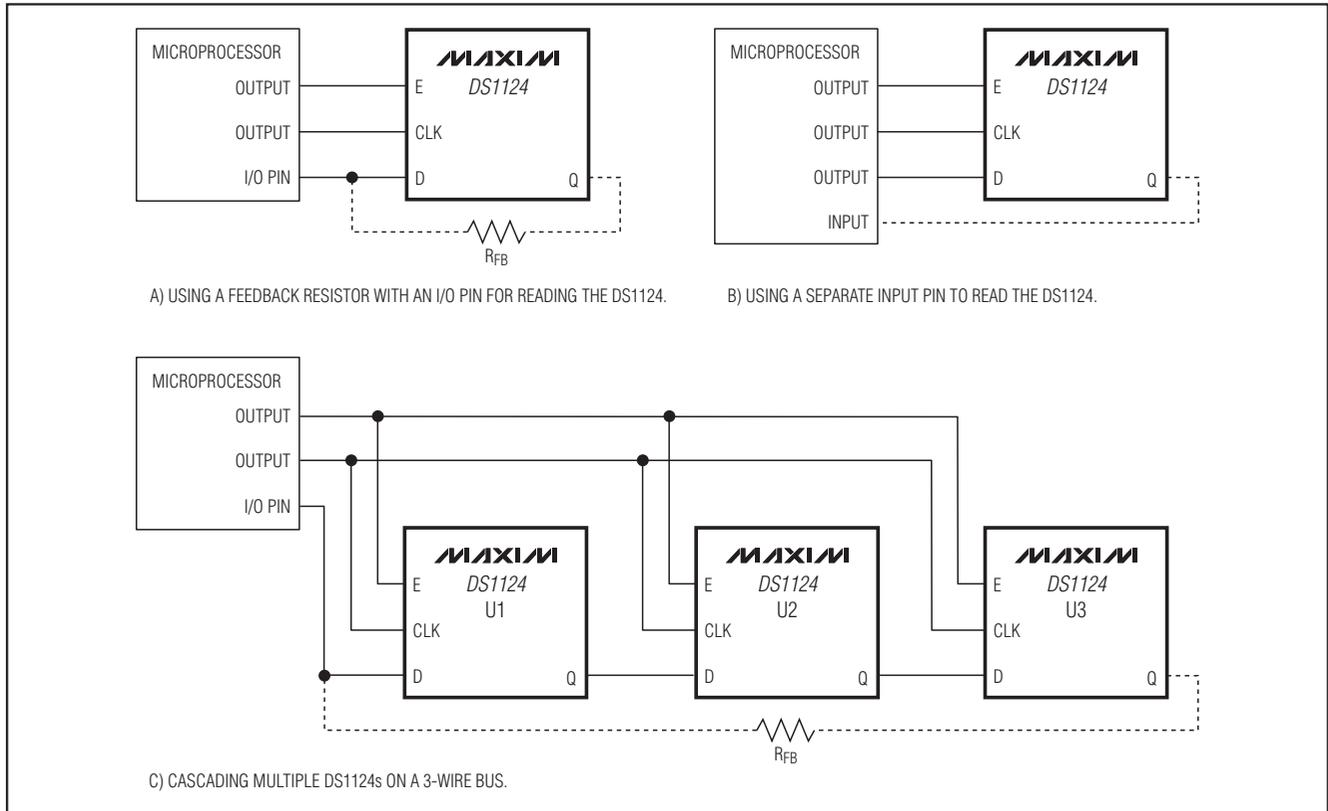


図4. シリアルインタフェースの使用例

試験条件

入力：

周囲温度：	25°C ±3°C
電源電圧(V_{CC})：	5.0V ±0.1V
入力パルス：	ハイ = 3.0V ±0.1V ロー = 0.0V ±0.1V
ソースインピーダンス：	50Ω (max)
立上りおよび立下り時間：	3.0ns (max) (0.6V~2.4Vで測定)
パルス幅：	250ns
周期：	10μs

出力：出力には15pFが負荷として接続されます。遅延は、1.5Vレベルの入力信号の立上りまたは立下りエッジと出力信号の対応するエッジの間で測定されます。

注：前記の諸条件は、試験のみに適用され、データシートの他の条件でのデバイスの動作を制限するものではありません。

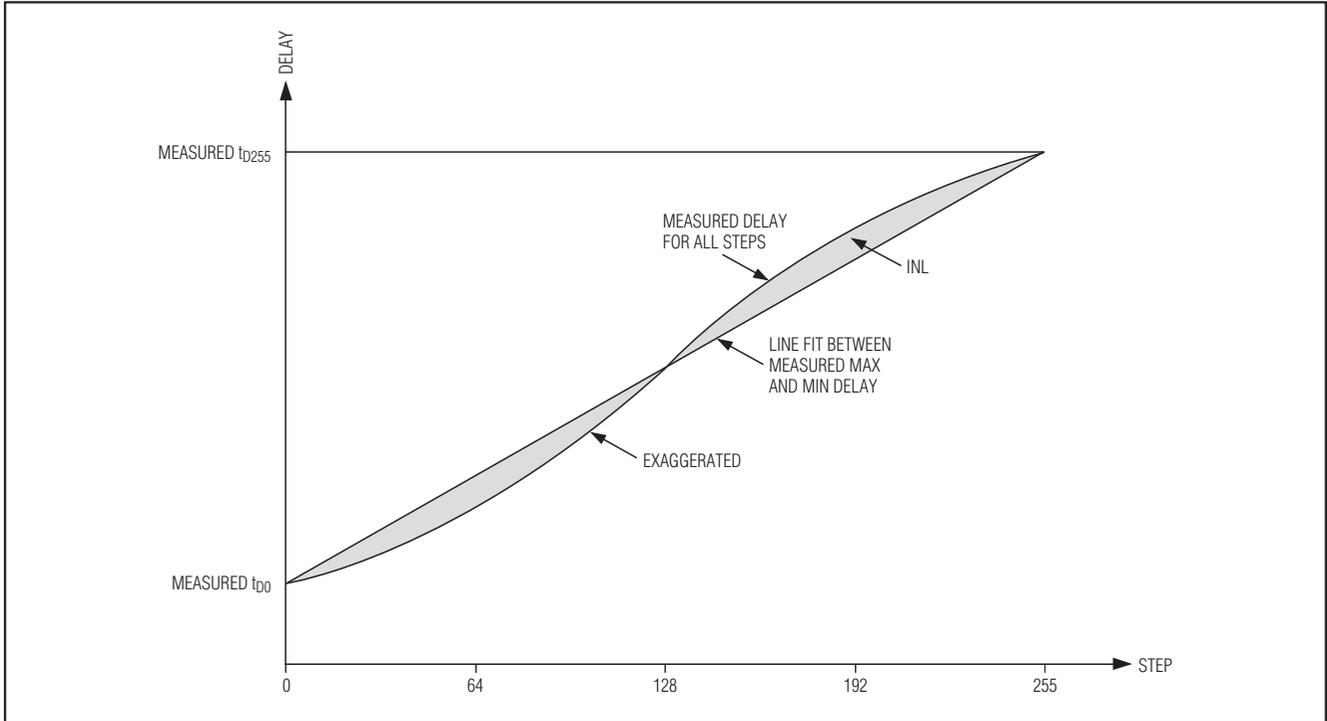


図5. 積分非直線性

パッケージ

最新のパッケージ情報は、japan.maxim-ic.com/DallasPackInfo をご参照ください。

マキシム・ジャパン株式会社

〒169-0051 東京都新宿区西早稲田3-30-16 (ホリゾン1ビル)
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシムは完全にマキシム製品に組み込まれた回路以外の回路の使用について一切責任を負いかねます。回路特許ライセンスは明言されていません。マキシムは随時予告なく回路及び仕様を変更する権利を留保します。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 _____ 9