

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## 概述

MAX5953A/MAX5953B/MAX5953C/MAX5953D为以太网供电(PoE)系统中的受电设备(PD)提供完整的电源解决方案,符合IEEE 802.3af标准协议。MAX5953A/MAX5953B/MAX5953C/MAX5953D PD提供侦测信号、分级信号和具有可编程浪涌电流控制的隔离开关。该系列器件还内置一个电压模式PWM控制器,两个功率MOSFET以双开关电压箝位DC-DC转换器配置形式连接。

侦测和分级期间,集成MOSFET提供PD隔离。侦测时,所有器件均能保证小于10 $\mu$ A的漏电流失调。可编程限流功能避免上电期间出现大的浪涌电流。这些器件具有供电模式欠压锁定(UVLO)功能,具有宽滞回和较长的故障屏蔽时间,以补偿双绞线电缆的阻性衰减,确保在侦测、分级和上电/掉电状态下无扰动转换。MAX5953A/MAX5953C具有可调节的UVLO门限,其缺省值符合802.3af标准,而MAX5953B/MAX5953D则具有较低的固定UVLO门限,与某些早期的802.3af供电设备(PSE)器件相兼容。

DC-DC转换器可以采用正激和反激结构,并具有11V至76V的宽输入电压范围和高达15W的输出功率。电压箝位电源拓扑能够完全恢复存储的磁能和漏感能量,提高效率和可靠性。采用高边MOSFET时,控制器可配置为降压转换器。用于驱动次级同步整流器的预测信号可以用来获得更高的效率。全面的保护功能包括UVLO、过热关断和具有“打嗝”限流的短路保护,有助于提高系统性能和可靠性。高达500kHz的工作频率允许使用更小的外部磁性元件和电容。

MAX5953A/MAX5953B/MAX5953C/MAX5953D采用大功率(2.22W)、7mm x 7mm、具有高效散热能力的微型QFN封装。

## 应用

IEEE 802.3af受电设备	互联网应用
IP电话	安全摄像机
无线接入点	计算机网络电话

## 特性

- ◆ 受电设备接口
  - 完全集成的IEEE 802.3af兼容PD接口
  - PD侦测和可编程分级
  - 侦测期间的漏电流失调小于10 $\mu$ A
  - 内置MOSFET,用于隔离和限制浪涌电流
  - 栅极输出允许外部控制内部隔离MOSFET
  - 可编程的浪涌电流控制
  - 可编程欠压锁定(MAX5953A/MAX5953C)
- ◆ DC-DC转换器
  - 带箝位功能的双开关电源IC,实现高效率
  - 内置高压0.4 $\Omega$ 功率MOSFET,输出功率高达15W
  - 具有高压电源自动关断的偏置电压稳压器
  - 11V至76V的宽输入电压范围
  - 前馈电压模式控制,用于快速抑制输入瞬变
  - 可编程欠压锁定
  - 过热关断
  - 集成了可编程故障门限的短路保护
  - 用于二次侧同步整流的预测信号
  - 同步整流,效率高于90%
  - 高达500kHz的开关频率
- ◆ 大功率(2.22W)、7mm x 7mm、高效散热、无铅、微型QFN封装

## 订购信息

PART	PIN-PACKAGE	PKG CODE
MAX5953AUTM+	48 TQFN	T4877-6
MAX5953BUTM+	48 TQFN	T4877-6
MAX5953CUTM+	48 TQFN	T4877-6
MAX5953DUTM+	48 TQFN	T4877-6

工作结温范围为0°C至+125°C。

+表示无铅封装。

引脚配置和典型工作电路在数据资料的最后给出。

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## ABSOLUTE MAXIMUM RATINGS

V+ to VEE	-0.3V to +90V
OUT, PGOOD, PGOOD to VEE	-0.3V to (V+ + 0.3V)
RCLASS, GATE to VEE	-0.3V to +12V
UVLO to VEE	-0.3V to +8V
PGOOD to OUT	-0.3V to (V+ + 0.3V)
HVIN, INBIAS, DRNH, XFRMRH, XFRMRL to GND	-0.3V to +80V
BST to GND	-0.3V to +95V
BST to XFRMRH	-0.3V to +12V
PGND to GND	-0.3V to +0.3V
DCUVLO, RAMP, CSS, OPTO, FLTINT, RCFE, RTCT to GND	-0.3V to +12V
SRC, CS to GND	-0.3V to +6V
REGOUT, DRVIN to GND	-0.3V to +12V
REGOUT to HVIN	-80V to +0.3V
REGOUT to INBIAS	-80V to +0.3V
PPWM to GND	-0.3V to (VREGOUT + 0.3V)

Maximum Input/Output Current (Continuous)	
OUT to VEE	500mA
V+, RCLASS to VEE	70mA
UVLO, PGOOD, PGOOD to VEE	20mA
GATE to VEE	80mA
REGOUT to GND	50mA
DRNH, XFRMRH, XFRMRL, SRC to GND (Average), T <sub>J</sub> = +125°C	0.9A
PPWM to GND	±20mA
Continuous Power Dissipation* (T <sub>A</sub> = +70°C)	
48-Pin TQFN 7mm X 7mm (derate 27.8mW/°C above +70°C)	2222mW
θ <sub>JA</sub>	36°C/W
Operating Ambient Temperature Range	0°C to +85°C
Operating Junction Temperature Range	0°C to +125°C
Junction Temperature	+150°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

\*As per JEDEC 51 standard.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>IN</sub> = (V+ - V<sub>EE</sub>) = 48V, GATE = PGOOD = PGOOD = unconnected, GND = OUT, HVIN = V+, UVLO = V<sub>EE</sub>, T<sub>J</sub> = 0°C to +125°C, unless otherwise noted. Typical values are at T<sub>J</sub> = +25°C. All voltages are referenced to V<sub>EE</sub>, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>POWERED DEVICE (PD) INTERFACE</b>							
<b>DETECTION MODE</b>							
Input Offset Current	I <sub>OFFSET</sub>	V <sub>IN</sub> = 1.4V to 10.1V (Note 2)			10	μA	
Effective Differential Input Resistance (Note 3)	dR	V <sub>IN</sub> = 1.4V, up to 10.1V with 1V step	550			kΩ	
<b>CLASSIFICATION MODE</b>							
Classification Current Turn-Off Threshold	V <sub>TH,CLASS</sub>	V <sub>IN</sub> rising (Note 4)	20.8	21.8	22.5	V	
Classification Current	I <sub>CLASS</sub>	V <sub>IN</sub> = 12.6V to 20V, R <sub>DISC</sub> = 25.5kΩ (Notes 5, 6)	Class 0, R <sub>RCLASS</sub> = 10kΩ	0	2	mA	
			Class 1, R <sub>RCLASS</sub> = 732Ω	9.17	11.83		
			Class 2, R <sub>RCLASS</sub> = 392Ω	17.29	19.71		
			Class 3, R <sub>RCLASS</sub> = 255Ω	26.45	29.55		
			Class 4, R <sub>RCLASS</sub> = 178Ω	36.6	41.4		
<b>POWER MODE</b>							
Operating Supply Voltage	V <sub>IN</sub>	V <sub>IN</sub> = (V+ - V <sub>EE</sub> )			67	V	
Operating Supply Current	I <sub>IN</sub>	Measure at V+, not including R <sub>DISC</sub> , GATE = V <sub>EE</sub> , HVIN = GND = OUT		0.4	1	mA	
Default Power Turn-On Voltage	V <sub>UVLO, ON</sub>	V <sub>IN</sub> increasing	MAX5953A/MAX5953C	37.4	38.6	40.2	V
			MAX5953B/MAX5953D	34.3	35.4	36.9	
Default Power Turn-Off Voltage	V <sub>UVLO, OFF</sub>	V <sub>IN</sub> decreasing, MAX5953A/MAX5953C	30			V	

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{IN} = (V_+ - V_{EE}) = 48V$ , GATE = PGOOD =  $\overline{\text{PGOOD}}$  = unconnected, GND = OUT, HVIN =  $V_+$ , UVLO =  $V_{EE}$ ,  $T_J = 0^\circ\text{C}$  to  $+125^\circ\text{C}$ , unless otherwise noted. Typical values are at  $T_J = +25^\circ\text{C}$ . All voltages are referenced to  $V_{EE}$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Default Power Turn-On/Off Hysteresis Voltage	$V_{\text{HYST,UVLO}}$	MAX5953A/MAX5953C	7.1			V
		MAX5953B/MAX5953D	4			
External UVLO Programming Range	$V_{\text{IN,EX}}$	MAX5953A/MAX5953C only (Note 7)	12		67	V
UVLO External Reference Voltage	$V_{\text{REF,UVLO}}$	$V_{\text{UVLO}}$ increasing	2.400	2.460	2.522	V
UVLO External Reference Voltage Hysteresis	$V_{\text{HYST,UVLO}}$	Ratio to $V_{\text{REF,UVLO}}$	19.2	20	20.9	%
UVLO Bias Current	$I_{\text{IN,UVLO}}$	$V_{\text{UVLO}} = 2.460V$	-1.5		+1.5	$\mu\text{A}$
UVLO Input Ground-Sense Threshold	$V_{\text{TH,G,UVLO}}$	(Note 8)	50		440	mV
UVLO Input Ground-Sense Glitch Rejection				7		$\mu\text{s}$
Power Turn-Off Voltage, Undervoltage Lockout Deglitch Time	$t_{\text{OFF,DLY}}$	$V_{\text{IN}}, V_{\text{UVLO}}$ falling (Note 9)	0.32			ms
Isolation Switch n-Channel MOSFET On-Resistance	$R_{\text{ON,ISO}}$	Output current = 300mA, $V_{\text{GATE}} = 5.6V$ , measured between OUT and $V_{EE}$		0.6	1.5	$\Omega$
Isolation Switch n-Channel MOSFET Off-Threshold Voltage	$V_{\text{GSTH}}$	$V_{\text{GATE}} - V_{EE}$ , OUT = $V_+$ , output current < $1\mu\text{A}$	0.5			V
GATE Pulldown Switch Resistance	$R_G$	Power-off mode, $V_{\text{IN}} = +12V$		38	80	$\Omega$
GATE Charging Current	$I_{\text{GATE}}$	$V_{\text{GATE}} = 2V$	4.5	10	16.5	$\mu\text{A}$
GATE High Voltage	$V_{\text{GATE}}$	$I_{\text{GATE}} = 1\mu\text{A}$	5.59	5.76	5.93	V
PGOOD Assertion $V_{\text{OUT}}$ Threshold (Note 10)	$V_{\text{OUTEN}}$	$V_{\text{OUT}} - V_{EE}$ decreasing, $V_{\text{GATE}} = 5.75V$	1.16	1.23	1.31	V
		Hysteresis		70		mV
PGOOD, $\overline{\text{PGOOD}}$ Assertion $V_{\text{GATE}}$ Threshold	$V_{\text{GSEN}}$	$V_{\text{GATE}} - V_{EE}$ increasing	4.62	4.76	4.91	V
		Hysteresis		80		mV
PGOOD, $\overline{\text{PGOOD}}$ Output Low Voltage	$V_{\text{OL,PGOOD}}$	$I_{\text{SINK}} = 2\text{mA}$ , $V_{\text{OUT}} \leq (V_+ - 5V)$ (Note 11)			0.2	V
PGOOD Leakage Current		GATE = high, $V_+ - V_{\text{OUT}} = 67V$ (Note 11)			1	$\mu\text{A}$
$\overline{\text{PGOOD}}$ Leakage Current		GATE = $V_{EE}$ , $\overline{\text{PGOOD}} - V_{EE} = 67V$ (Note 11)			1	$\mu\text{A}$

MAX5953A/MAX5953B/MAX5953C/MAX5953D

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

MAX5953A/MAX5953B/MAX5953C/MAX5953D

## ELECTRICAL CHARACTERISTICS (DC-DC Controller)

(All voltages referenced to GND, unless otherwise noted.  $V_{HVIN} = +48V$ ,  $C_{INBIAS} = 1\mu F$ ,  $C_{REGOUT} = 2.2\mu F$ ,  $R_{RTCT} = 25k\Omega$ ,  $C_{RTCT} = 100pF$ ,  $C_{BST} = 0.22\mu F$ ,  $V_{CSS} = V_{CS} = 0V$ ,  $V_{RAMP} = V_{DCUVLO} = 3V$ ,  $T_J = 0^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_J = +25^\circ C$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Input Supply Range	$V_{HVIN}$		11		76	V
<b>OSCILLATOR (RTCT)</b>						
PWM Frequency	$f_s$			250		kHz
Maximum PWM Duty Cycle	$D_{MAX}$			47		%
Maximum RTCT Frequency	$f_{RTCTMAX}$	(Note 12)		1		MHz
RTCT Peak Trip Level	$V_{TH,RTCT}$			$0.51 \times V_{REGOUT}$		V
RTCT Valley Trip Level	$V_{TL,RTCT}$			1		V
RTCT Input Bias Current	$I_{IN,RTCT}$			$\pm 1$		$\mu A$
RTCT Discharge MOSFET $R_{DS(ON)}$	$R_{DIS,RTCT}$	Sinking 50mA		35	85	$\Omega$
RTCT Discharge Pulse Width				50		ns
<b>LOOK-AHEAD LOGIC (PPWM)</b>						
PPWM to Output Propagation Delay	$t_{PPWM}$	$V_{PPWM}$ rising to $V_{XFRMRL}$ falling		110		ns
PPWM Output High	$V_{OH,PPWM}$	Sourcing 2mA	7.0		11.0	V
PPWM Output Low	$V_{OL,PPWM}$	Sinking 2mA			0.2	V
<b>PWM COMPARATOR (OPTO, RAMP, RCFF)</b>						
Common-Mode Input Range	$V_{CM\_PWM}$		0		5.5	V
Input Offset Voltage				10		mV
Input Bias Current			-2		+2	$\mu A$
RAMP to XFRMRL Propagation Delay	$t_{COMPARATOR}$	From $V_{RAMP}$ (50mV overdrive) rising to $V_{XFRMRL}$ rising		100		ns
Minimum OPTO Voltage		$V_{CSS} = 0V$ , OPTO sinking 2mA		1.47		V
Minimum RCFF Voltage		RCFF sinking 2mA		2.18		V
<b>REGOUT LDO (REGOUT)</b>						
REGOUT Voltage Set Point	$V_{REGOUT}$	INBIAS unconnected, $V_{HVIN} = 11V$ to $76V$	8.3	8.75	9.2	V
		$V_{INBIAS} = V_{HVIN} = 11V$ to $76V$	9.5	10.6	11.0	
REGOUT Load Regulation		INBIAS unconnected, $V_{HVIN} = 15V$ , $I_{REGOUT} = 0$ to $30mA$			0.25	V
		$V_{INBIAS} = V_{HVIN} = 15V$ , $I_{REGOUT} = 0$ to $30mA$			0.25	
REGOUT Dropout Voltage		INBIAS unconnected, $I_{REGOUT} = 30mA$			1.25	V
		$V_{INBIAS} = V_{HVIN}$ , $I_{REGOUT} = 30mA$			1.25	
REGOUT Undervoltage Lockout Threshold		REGOUT rising	6.6	7.0	7.4	V
REGOUT Undervoltage Lockout Threshold Hysteresis		REGOUT falling		0.7		V

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

MAX5953A/MAX5953B/MAX5953C/MAX5953D

## ELECTRICAL CHARACTERISTICS (DC-DC Controller) (continued)

(All voltages referenced to GND, unless otherwise noted.  $V_{HVIN} = +48V$ ,  $C_{INBIAS} = 1\mu F$ ,  $C_{REGOUT} = 2.2\mu F$ ,  $R_{RTCT} = 25k\Omega$ ,  $C_{RTCT} = 100pF$ ,  $C_{BST} = 0.22\mu F$ ,  $V_{CSS} = V_{CS} = 0V$ ,  $V_{RAMP} = V_{DCUVLO} = 3V$ ,  $T_J = 0^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_J = +25^\circ C$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SOFT-START (CSS)</b>						
Soft-Start Current	$I_{CSS}$	$V_{CSS} = 0V$		33		$\mu A$
<b>INTEGRATING FAULT PROTECTION</b>						
FLTINT Source Current	$I_{FLTINT}$			80		$\mu A$
FLTINT Trip Point		$V_{FLTINT}$ rising		2.7		V
FLTINT Hysteresis				0.75		V
<b>INTERNAL POWER FETS</b>						
On-Resistance	$R_{ON,POWER}$	$V_{DRVIN} = V_{BST} = 9V$ , $V_{XFRMRH} = V_{SRC} = 0V$ , $I_{DS} = 50mA$		0.4	0.8	$\Omega$
Off-State Leakage Current			-5		+10	$\mu A$
Total Gate Charge Per Power FET				15		nC
<b>HIGH-SIDE DRIVER</b>						
Low to High Latency	$t_{LH-HS}$	Driver delay until FET $V_{GS}$ reaches $0.9 \times (V_{BST} - V_{XFRMRH})$ and is fully on		80		ns
High to Low Latency	$t_{HL-HS}$	Driver delay until FET $V_{GS}$ reaches $0.1 \times (V_{BST} - V_{XFRMRH})$ and is fully off		40		ns
Output Drive Voltage	$V_{BST}$	BST to XFRMRH with high side on		8		V
<b>LOW-SIDE DRIVER</b>						
Low to High Latency	$t_{LH-LS}$	Driver delay until FET $V_{GS}$ reaches $0.9 \times V_{DRVIN}$ and is fully on		80		ns
High to Low Latency	$t_{HL-LS}$	Driver delay until FET $V_{GS}$ reaches $0.1 \times V_{DRVIN}$ and is fully off		40		ns
<b>CURRENT-LIMIT COMPARATOR (CS)</b>						
Current-Limit Threshold Voltage	$V_{ILIM}$		140	156	172	mV
Current-Limit Input Bias Current	$I_{BILIM}$	$0 < V_{CS} < 0.3V$	-2		+2	$\mu A$
Propagation Delay to XFRMRL	$t_{dILIM}$	From $V_{CS}$ rising (10mV overdrive) to $V_{XFRMRL}$ rising		160		ns
<b>BOOST VOLTAGE CIRCUIT (See Figure 9, QB)</b>						
Driver Output Delay	$t_{PPWMD}$			200		ns
One-Shot Pulse Width	$t_{PWQB}$			300		ns
QB $R_{DS(on)}$		Sinking 20mA		30	60	$\Omega$
<b>THERMAL SHUTDOWN</b>						
Shutdown Temperature	$T_{SH}$	Temperature rising		+160		$^\circ C$
Thermal Hysteresis	$T_H$			20		$^\circ C$

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## ELECTRICAL CHARACTERISTICS (DC-DC Controller) (continued)

(All voltages referenced to GND, unless otherwise noted.  $V_{HVIN} = +48V$ ,  $C_{INBIAS} = 1\mu F$ ,  $C_{REGOUT} = 2.2\mu F$ ,  $R_{RTCT} = 25k\Omega$ ,  $C_{RTCT} = 100pF$ ,  $C_{BST} = 0.22\mu F$ ,  $V_{CSS} = V_{CS} = 0V$ ,  $V_{RAMP} = V_{DCUVLO} = 3V$ ,  $T_J = 0^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_J = +25^\circ C$ , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>UNDERVOLTAGE LOCKOUT (DCUVLO)</b>						
Threshold Voltage	$V_{REF,DCUVLO}$	$V_{DCUVLO}$ rising	1.14	1.26	1.38	V
Hysteresis	$V_{HYS,DCUVLO}$			140		mV
Input Bias Current	$I_{IN,DCUVLO}$	$V_{DCUVLO} = 3V$	-100		+100	nA
<b>SUPPLY CURRENT</b>						
Supply Current		From $V_{HVIN} = 11V$ to $76V$ , $V_{CSS} = 0V$ , $V_{INBIAS} = 11V$		0.7	1.5	mA
		From $V_{INBIAS} = 11V$ to $76V$ , $V_{CSS} = 0V$ , $V_{HVIN} = 76V$		4.4	6.4	
		From $V_{HVIN} = 76V$ , $V_{OPIO} = 4V$		7		
Standby Supply Current		$V_{DCUVLO} = 0V$			1	mA

**Note 1:** Limits at  $0^\circ C$  are guaranteed by design, unless otherwise noted.

**Note 2:** The input offset current is illustrated in Figure 1.

**Note 3:** Effective differential input resistance is defined as the differential resistance between  $V_+$  and  $V_{EE}$  without any external resistance.

**Note 4:** Classification current is turned off whenever the IC is in power mode.

**Note 5:** See Table 2 in the *Classification Mode* section.  $R_{DISC}$  and  $R_{CLASS}$  must be 1%, 100ppm or better.  $I_{CLASS}$  includes the IC bias current and the current drawn by  $R_{DISC}$ .

**Note 6:** See the *Thermal Dissipation* section.

**Note 7:** When UVLO is connected to the midpoint of an external resistor-divider with a series resistance of  $25.5k\Omega$  ( $\pm 1\%$ ), the turn-on threshold set point for the power mode is defined by the external resistor-divider. Make sure the voltage on UVLO does not exceed its maximum rating of 8V when  $V_{IN}$  is at the maximum voltage.

**Note 8:** When  $V_{UVLO}$  is below  $V_{TH,G,UVLO}$ , the MAX5953A/MAX5953C set the turn-on voltage threshold internally ( $V_{UVLO,ON}$ ).

**Note 9:** An input voltage or  $V_{UVLO}$  glitch below their respective thresholds shorter than or equal to  $t_{OFF\_DLY}$  does not cause the MAX5953A/MAX5953B/MAX5953C/MAX5953D to exit power-on mode (as long as the input voltage remains above an operable voltage level of 12V).

**Note 10:** Guaranteed by design, not tested in production for MAX5953B/MAX5953D.

**Note 11:** PGOOD references to OUT while  $\overline{PGOOD}$  references to  $V_{EE}$ .

**Note 12:** Output switching frequency is  $1/2$  oscillator frequency.

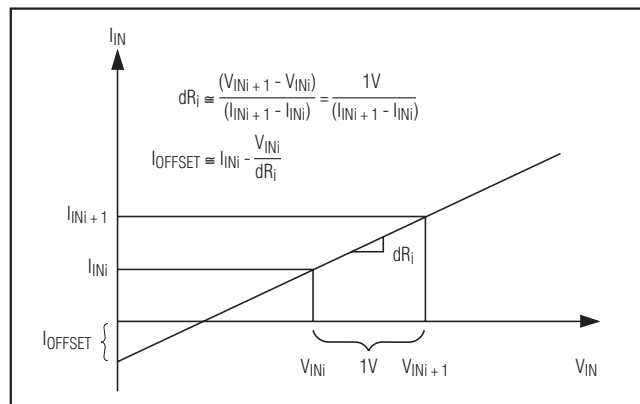


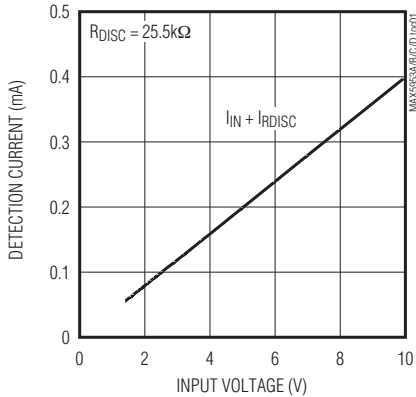
图1. 差分输入电阻/失调电流

# IEEE 802.3af PD接口和PWM控制器， 集成功率MOSFET

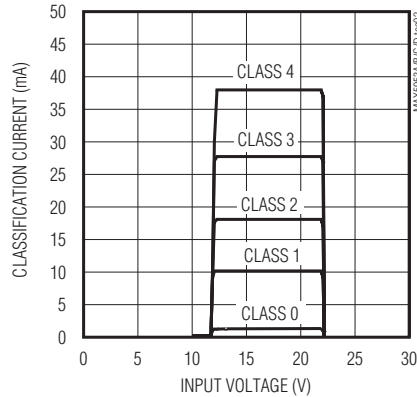
## 典型工作特性

( $V_{IN} = (V+ - V_{EE}) = 48V$ , GATE = PGOOD = unconnected, GND connected to OUT, HVIN connected to V+, UVLO =  $V_{EE}$ ,  $C_{INBIAS} = 1\mu F$ ,  $C_{REGOUT} = 2.2\mu F$ ,  $R_{RTCT} = 25k\Omega$ ,  $C_{RTCT} = 100pF$ ,  $C_{BST} = 0.22\mu F$ ,  $T_J = 0^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_J = +25^\circ C$ . All voltages are referenced to  $V_{EE}$ , unless otherwise noted.)

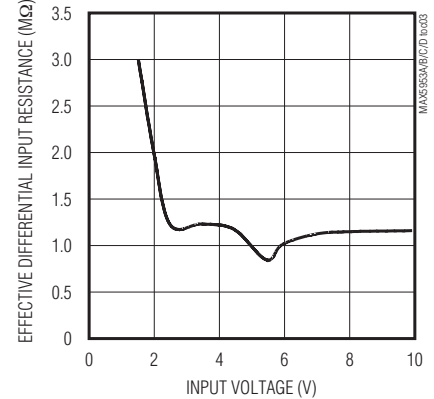
**DETECTION CURRENT vs. INPUT VOLTAGE**



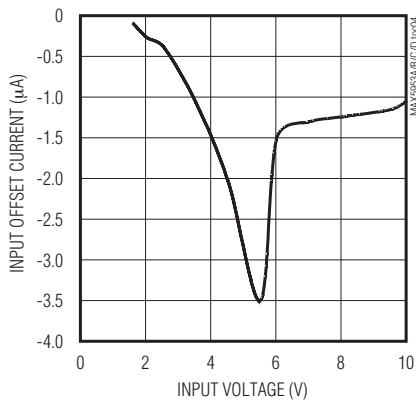
**CLASSIFICATION CURRENT vs. INPUT VOLTAGE**



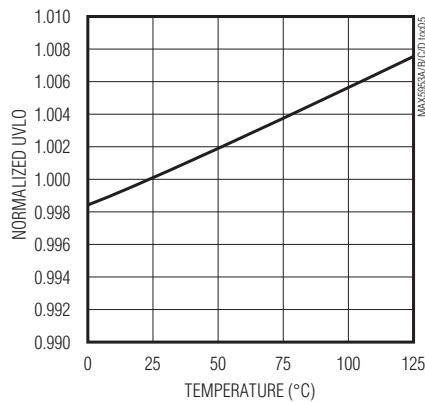
**EFFECTIVE DIFFERENTIAL INPUT RESISTANCE vs. INPUT CURRENT**



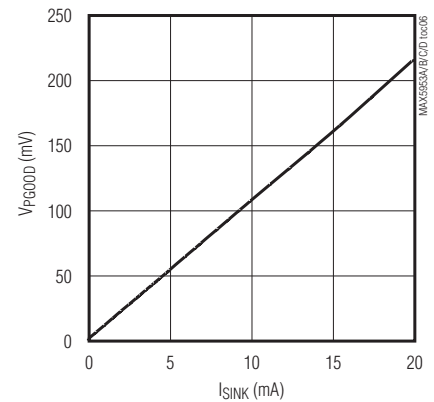
**INPUT OFFSET CURRENT vs. INPUT VOLTAGE**



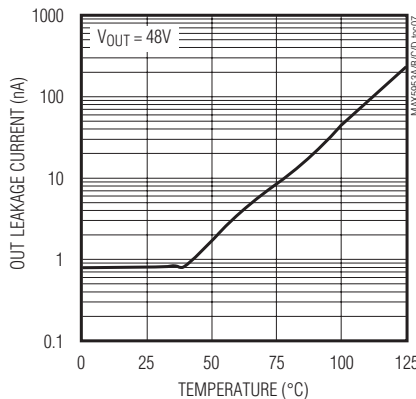
**NORMALIZED UVLO vs. TEMPERATURE**



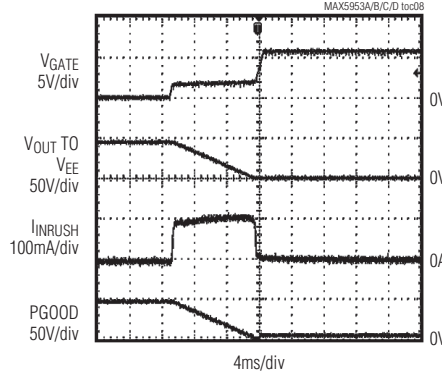
**PGOOD OUTPUT LOW VOLTAGE vs. CURRENT**



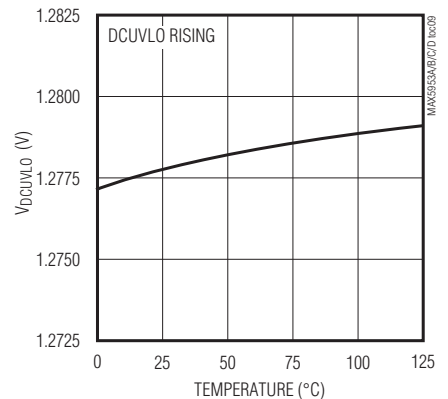
**OUT LEAKAGE CURRENT vs. TEMPERATURE**



**INRUSH CURRENT CONTROL ( $V_{IN} = 48V$ )**



**DCUVLO THRESHOLD vs. TEMPERATURE**

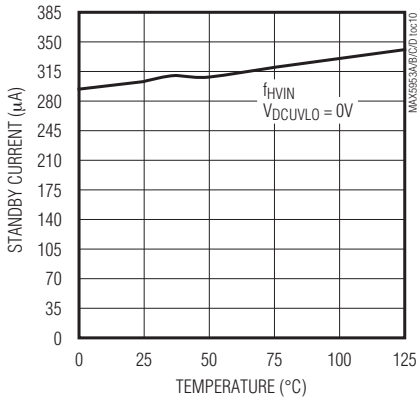


# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

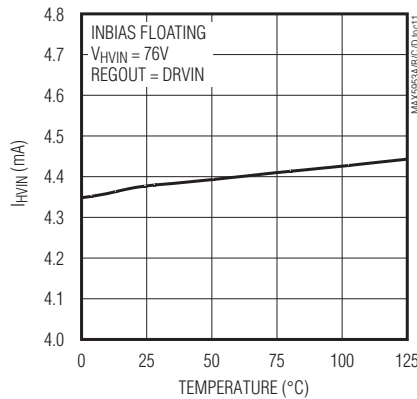
## 典型工作特性(续)

( $V_{IN} = (V+ - V_{EE}) = 48V$ , GATE = PGOOD = unconnected, GND connected to OUT, HVIN connected to V+, UVLO =  $V_{EE}$ ,  $C_{INBIAS} = 1\mu F$ ,  $C_{REGOUT} = 2.2\mu F$ ,  $R_{RTCT} = 25k\Omega$ ,  $C_{RTCT} = 100pF$ ,  $C_{BST} = 0.22\mu F$ ,  $T_J = 0^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_J = +25^\circ C$ . All voltages are referenced to  $V_{EE}$ , unless otherwise noted.)

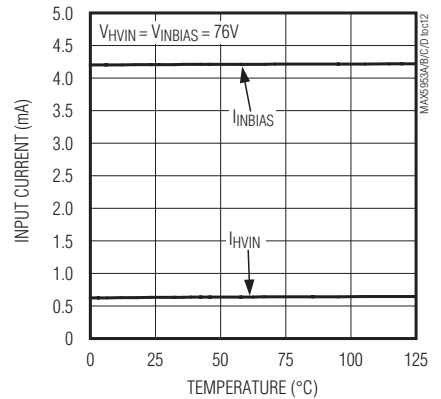
**HVIN STANDBY CURRENT vs. TEMPERATURE**



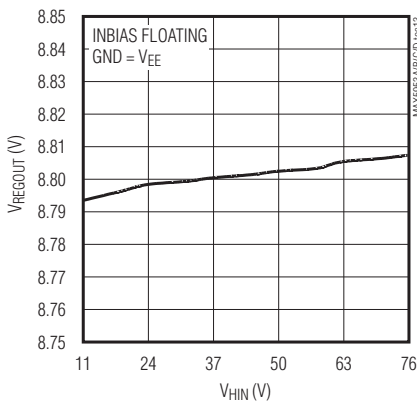
**HVIN INPUT CURRENT vs. TEMPERATURE**



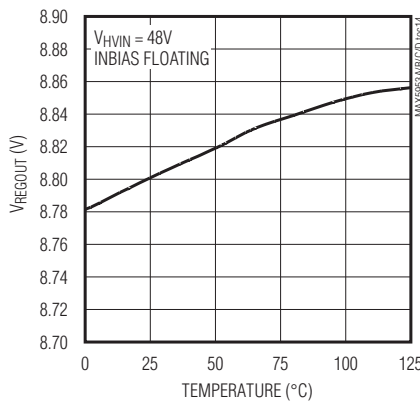
**HVIN AND INBIAS INPUT CURRENT vs. TEMPERATURE**



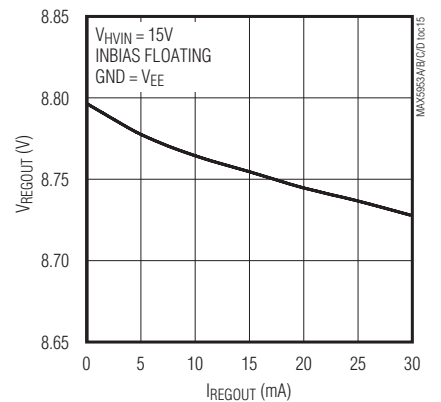
**REGOUT VOLTAGE vs. INPUT VOLTAGE**



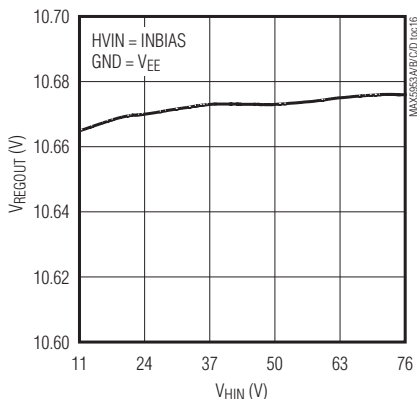
**REGOUT VOLTAGE vs. TEMPERATURE**



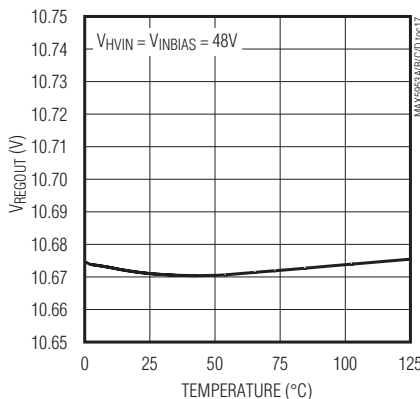
**REGOUT VOLTAGE vs. LOAD CURRENT**



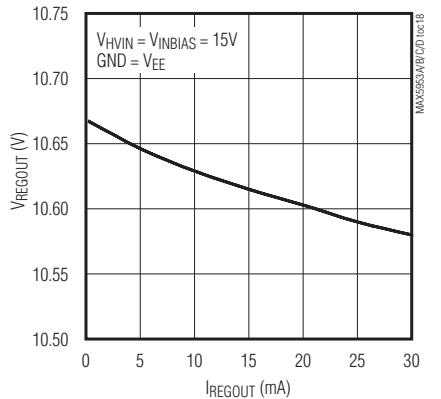
**REGOUT VOLTAGE vs. INPUT VOLTAGE**



**REGOUT VOLTAGE vs. TEMPERATURE**



**REGOUT VOLTAGE vs. LOAD CURRENT**

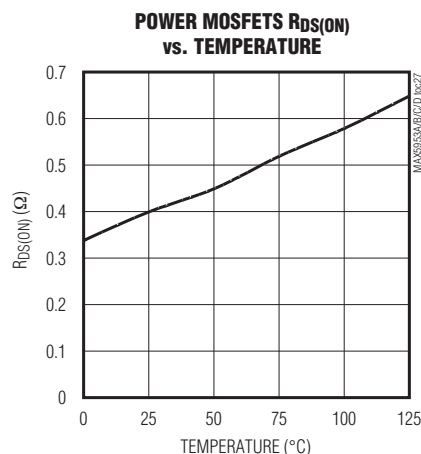
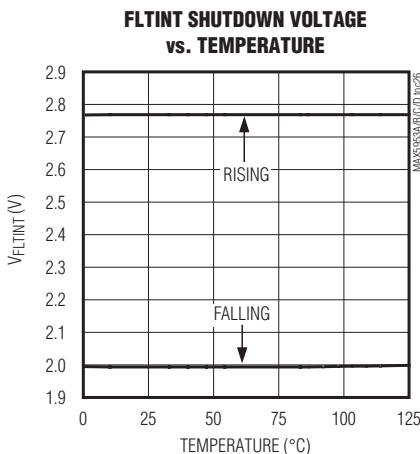
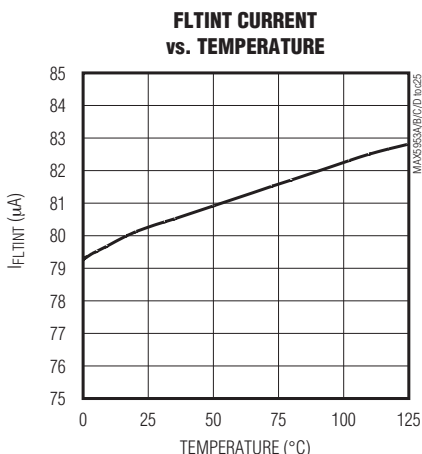
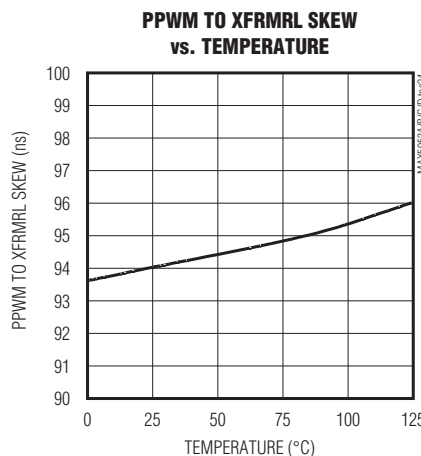
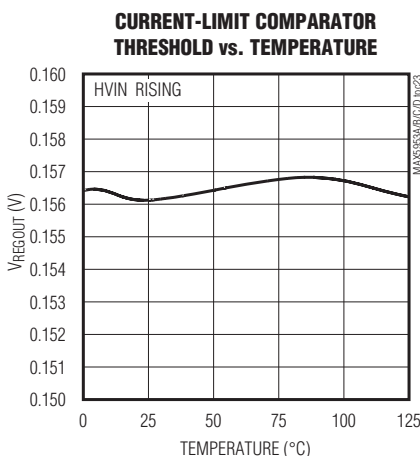
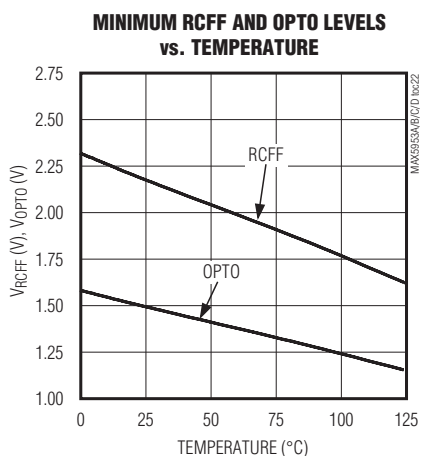
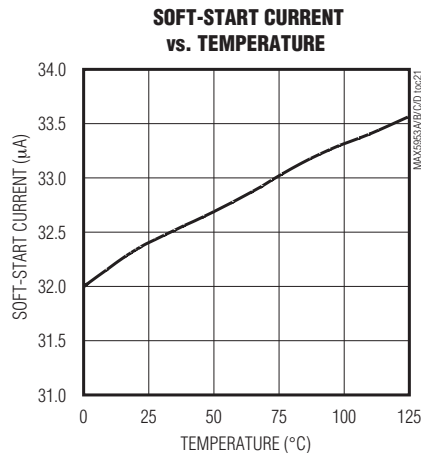
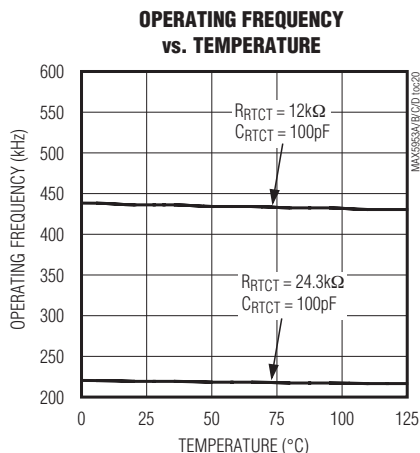
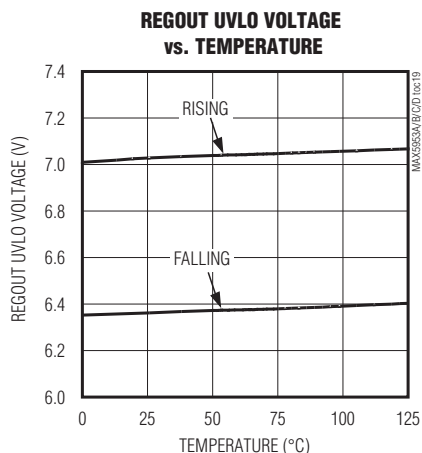




# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

典型工作特性(续)

( $V_{IN} = (V_+ - V_{EE}) = 48V$ , GATE = PGOOD = unconnected, GND connected to OUT, HVIN connected to  $V_+$ , UVLO =  $V_{EE}$ ,  $C_{INBIAS} = 1\mu F$ ,  $C_{REGOUT} = 2.2\mu F$ ,  $R_{RTCT} = 25k\Omega$ ,  $C_{RTCT} = 100pF$ ,  $C_{BST} = 0.22\mu F$ ,  $T_J = 0^\circ C$  to  $+125^\circ C$ , unless otherwise noted. Typical values are at  $T_J = +25^\circ C$ . All voltages are referenced to  $V_{EE}$ , unless otherwise noted.)



MAX5953A/MAX5953B/MAX5953C/MAX5953D

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## 引脚说明

引脚	名称	功能
1, 2, 3, 5, 7, 12, 13, 14, 17, 19, 35, 38, 46, 47, 48	N.C.	没有连接, 无内部连接。这些引脚不能有电气连接。
4	V+	正电源输入, 以V <sub>EE</sub> 为参考。
6 (MAX5953A/MAX5953C)	UVLO	PD接口的欠压锁定可编程输入。UVLO以V <sub>EE</sub> 为参考。当UVLO电压高于门限时, 器件进入供电模式。UVLO连接至V <sub>EE</sub> 时选择缺省的欠压锁定门限; UVLO连接到V+与V <sub>EE</sub> 之间的外部分压电阻的中点时, 可由外部设定门限。分压网络的串联电阻总和应为25.5kΩ (±1%), 以替代检测电阻器。将UVLO拉至V <sub>TH,G,UVLO</sub> 至V <sub>REF,UVLO</sub> 之间时, 保持器件处于欠压锁定状态。
6 (MAX5953B/MAX5953D)	N.C.	没有连接, 无内部连接。这些引脚不能有电气连接。
8	RCLASS	PD接口的分级设置。RCLASS以V <sub>EE</sub> 为参考。在RCLASS与V <sub>EE</sub> 之间连接一个电阻来设定PD分级(参见表1和表2)。
9	GATE	内部隔离的n沟道功率MOSFET的栅极。GATE以V <sub>EE</sub> 为参考。当器件进入供电模式时, GATE输出10μA的电流。在GATE和OUT之间外接一只耐压100V的陶瓷电容, 用于编程设置浪涌电流。将GATE驱动至V <sub>EE</sub> 可关断内部MOSFET。GATE驱动至V <sub>EE</sub> 时, 侦测和分级功能都可正常工作。
10, 11	V <sub>EE</sub>	负电源输入。是内置隔离n沟道功率MOSFET的源极。
15, 16	OUT	输出电压。OUT以V <sub>EE</sub> 为参考, OUT连接至内部隔离n沟道功率MOSFET的漏极。连接OUT至GND。
18 (MAX5953A/MAX5953B)	PGOOD	高电平有效, PD接口的漏极开路、电源就绪指示输出。PGOOD以OUT为参考, 当V <sub>OUT</sub> 与V <sub>EE</sub> 相差1.2V以内, 且V <sub>GATE</sub> 比V <sub>EE</sub> 高5V以上时, PGOOD进入高阻态。否则, PGOOD由内部拉至OUT (V <sub>OUT</sub> 至少比V+低5V)。PGOOD可以直接与CSS或DCUVLO相连, 使能/禁止DC-DC转换器。
18 (MAX5953C/MAX5953D)	$\overline{\text{PGOOD}}$	低电平有效, PD接口的漏极开路、电源就绪指示输出。 $\overline{\text{PGOOD}}$ 以V <sub>EE</sub> 为参考。当V <sub>OUT</sub> 与V <sub>EE</sub> 相差1.2V以内, 且V <sub>GATE</sub> 比V <sub>EE</sub> 高5V以上时, $\overline{\text{PGOOD}}$ 拉至V <sub>EE</sub> ; 否则 $\overline{\text{PGOOD}}$ 为高阻态。
20	CS	PWM控制器的电流检测输入。CS以PGND为参考。相对于PGND, 限流门限由内部设置在156mV。器件内部具有一个噪声滤波器, 必要时, 可在CS和PGND之间接一个外部RC滤波器, 加强滤波。
21	PPWM	PWM脉冲输出, 以GND为参考。PPWM比内部功率MOSFET脉冲超前大约100ns。
22	GND	PWM控制器的信号地, GND接PGND。
23	PGND	DC-DC转换器的功率地, PGND接GND。
24	CSS	PWM控制器的软启动定时电容连接端, CSS以GND为参考。在CSS和GND之间连接一只0.01μF或更大的陶瓷电容。接PGOOD时可自动由PD接口使能PWM控制器。

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

引脚说明(续)

引脚	名称	功能
25	OPTO	PWM比较器反相输入, OPTO以GND为参考。光耦晶体管的集电极连接至OPTO, 接上拉电阻至REGOUT。
26, 27	SRC	DC-DC转换器双开关功率级的低边功率MOSFET的源极连接端。用一个小阻值电阻连接SRC和PGND, 提供限流。
28, 29	XFRMRL	隔离变压器的低侧连接端, 是DC-DC转换器双开关功率级的低边功率MOSFET的漏极连接端。
30	DRVIN	内部功率MOSFET的栅极驱动器电源输入, DRVIN以PGND为参考。采用一只最小0.1 $\mu$ F的电容旁路DRVIN至PGND。DRVIN接REGOUT。
31, 32	XFRMRH	隔离变压器的高侧连接端。是DC-DC转换器双开关功率级的高边功率MOSFET的源极连接端。
33, 34	DRNH	DC-DC转换器双开关功率级的高边功率MOSFET的漏极连接端。DRNH与输入电源的正端相连。适当旁路DRNH, 以便处理流过变压器的大开关电流。
36	BST	DC-DC转换器的升压输入。BST是高边MOSFET驱动器的升压连接点。在BST和XFRMRH之间连接一只最小0.1 $\mu$ F的电容, 采用短且宽的电路板布线。
37	DCUVLO	DC-DC转换器的欠压锁定输入, DCUVLO以GND为参考。将HVIN和DCUVLO之间的电阻分压器连接至GND, 设置UVLO门限。
39	HVIN	DC-DC转换器的正电源电压输入, HVIN以GND为参考。HVIN接V+。
40	INBIAS	整流偏置绕组到DC-DC转换器的输入, INBIAS以GND为参考。INBIAS是内部线性稳压器(REGOUT)的输入。
41	REGOUT	线性稳压器输出, REGOUT用于DC-DC转换器的栅极驱动器供电。REGOUT以GND为参考, 只要有高于DCUVLO门限的电压给HVIN供电, $V_{REGOUT}$ 就一直有效。采用一只最小2.2 $\mu$ F的陶瓷电容旁路REGOUT至GND。
42	RTCT	PWM控制器的振荡频率设置输入端, RTCT以GND为参考。在RTCT和REGOUT之间连接一只电阻, RTCT和GND之间连接一只陶瓷电容, 设置振荡器的频率。
43	FLTINT	PWM控制器的故障积分输入, FLTINT以GND为参考。发生过流故障期间, 连接至FLTINT的电容由内部80 $\mu$ A的电流源充电。当 $V_{FLTINT}$ 达到2.7V时终止开关操作。内部电阻与放电电容并联, 当 $V_{FLTINT}$ 跌落到1.9V时, 重新开始开关操作。
44	RCFF	PWM控制器的前馈输入, RCFF以GND为参考。在RCFF和HVIN之间接一只电阻, RCFF和GND之间接一只电容, 产生PWM斜坡电压。
45	RAMP	PWM控制器的斜坡电压检测输入端, RAMP接RCFF。
—	EP	裸焊盘, EP内部没有连接, 外部必须连接至 $V_{EE}$ 。将裸焊盘焊接在PCB的覆铜层, 有助于耗散功率。

MAX5953A/MAX5953B/MAX5953C/MAX5953D

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

典型应用电路

MAX5953A/MAX5953B/MAX5953C/MAX5953D

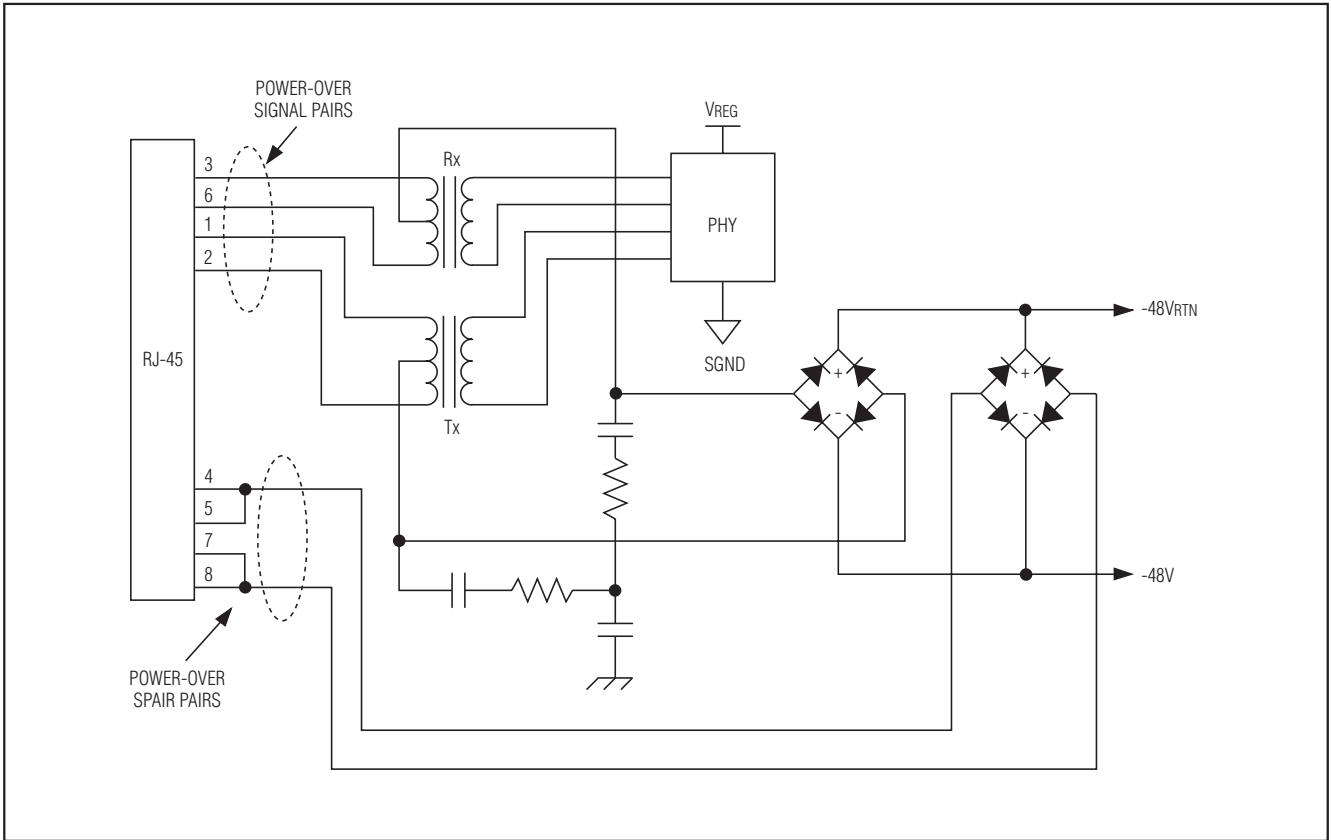
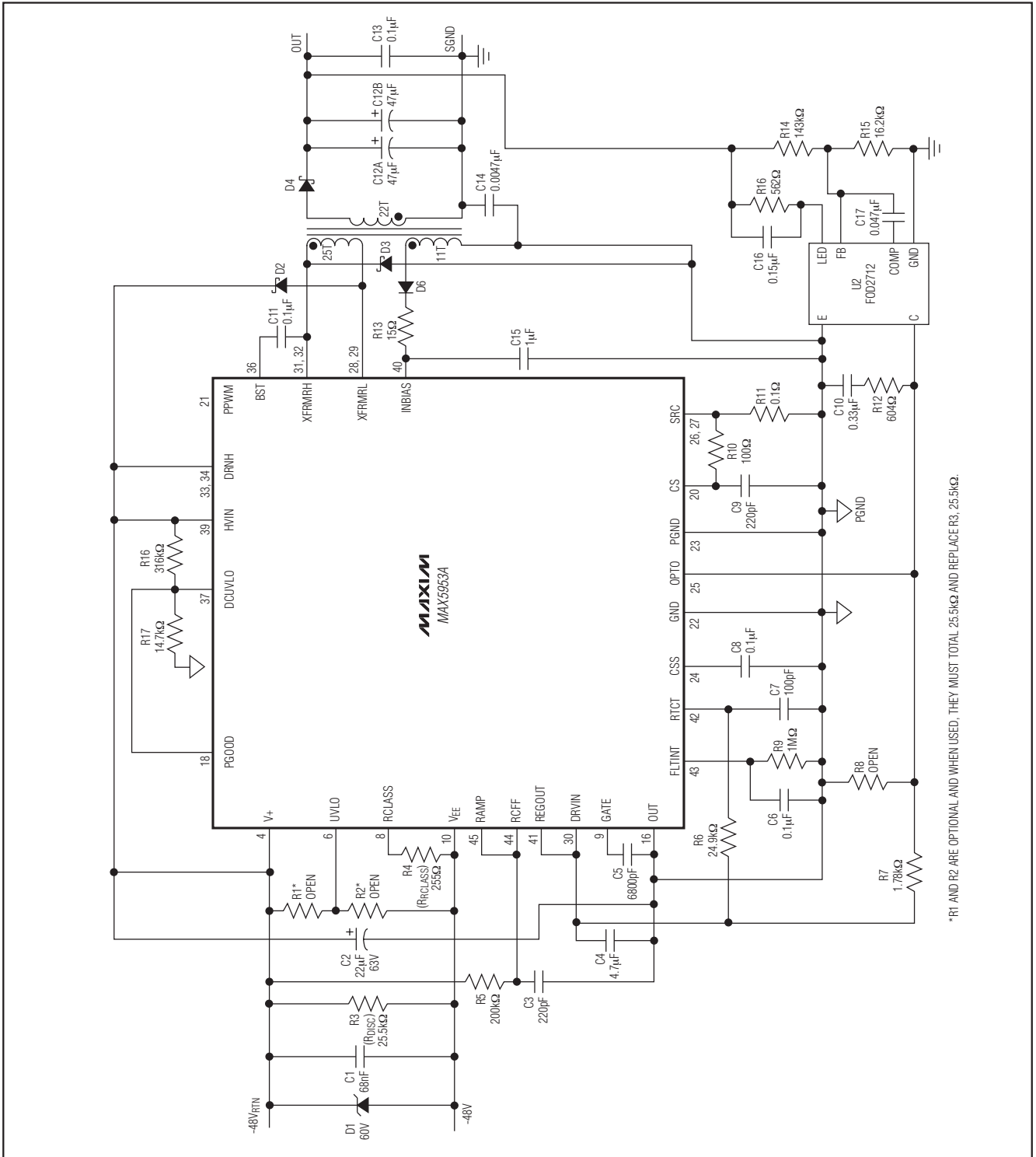


图2. RJ-45连接器, PoE磁性元件以及输入二极管桥

# IEEE 802.3af PD接口和PWM控制器， 集成功率MOSFET

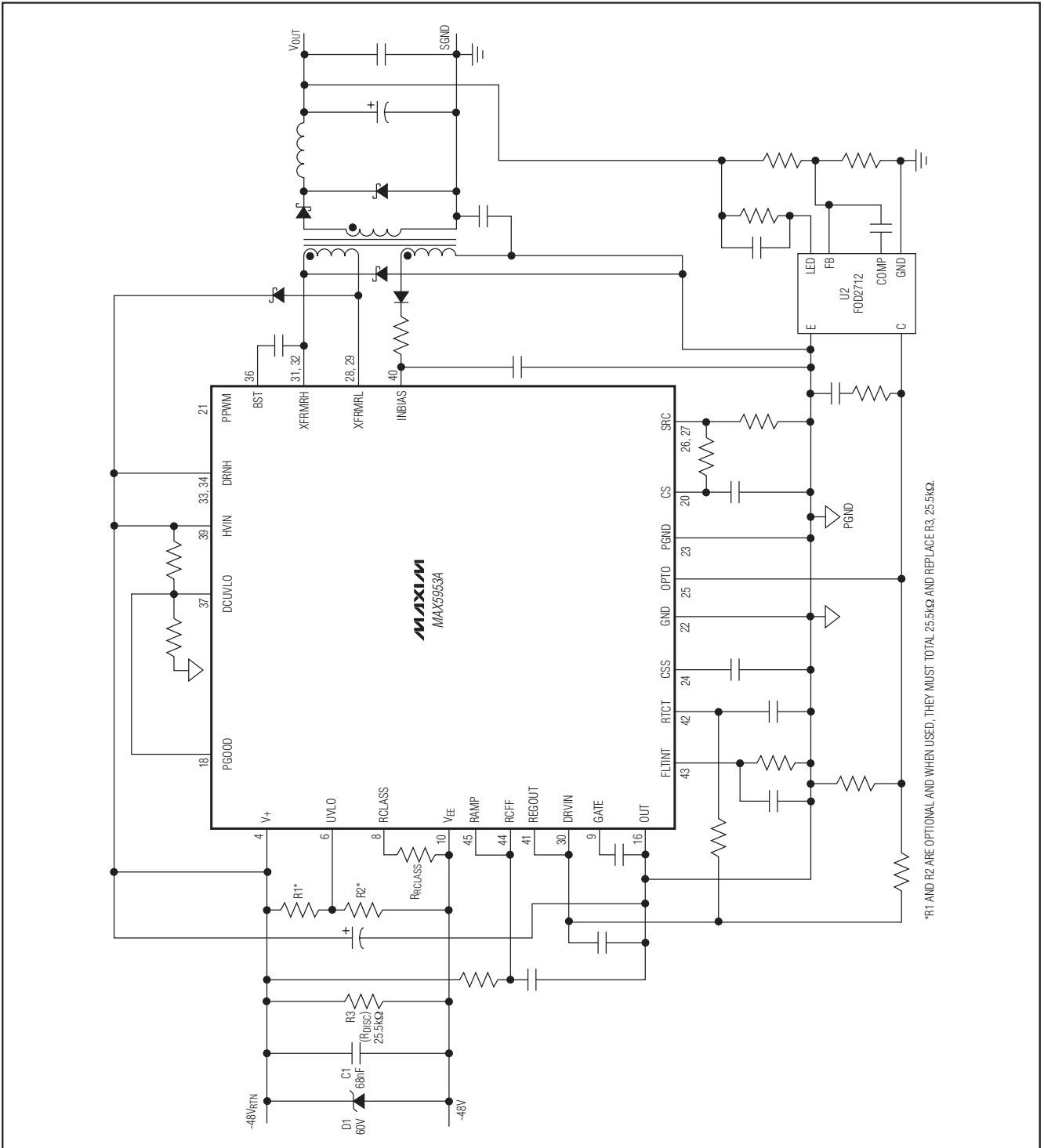
MAX5953A/MAX5953B/MAX5953C/MAX5953D



\*R1 AND R2 ARE OPTIONAL AND WHEN USED, THEY MUST TOTAL 25.5KΩ AND REPLACE R3, 25.5KΩ.

图3. 典型应用电路

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET



\*R1 AND R2 ARE OPTIONAL AND WHEN USED, THEY MUST TOTAL 25.5kΩ AND REPLACE R3, 25.5kΩ.

图4. 对于大功率应用，MAX5953A/MAX5953B/MAX5953C/MAX5953D可用于双开关正激变换器配置

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

MAX5953A/MAX5953B/MAX5953C/MAX5953D

## 详细说明

## 工作模式

### 受电设备接口

MAX5953A/MAX5953B/MAX5953C/MAX5953D为PoE系统中的PD提供完整的接口功能,符合IEEE 802.3af标准协议。该系列产品为PD提供侦测信号、分级信号以及具有可编程浪涌电流控制的隔离开关。侦测和分级期间,内部集成MOSFET提供PD隔离。侦测时,所有器件均能保证小于10 $\mu$ A的漏电流失调,可编程限流功能避免了上电过程的浪涌电流。这些器件提供供电模式的UVLO功能,具有宽滞回和较长的故障屏蔽时间,以补偿双绞线电缆的电阻衰减,确保在侦测、分级和上电/掉电状态下无扰动转换。MAX5953A/MAX5953C具有可调节的UVLO门限,缺省值符合802.3af标准,而MAX5953B/MAX5953D则具有较低的固定UVLO门限,兼容于早期的802.3af PSE器件。

表1. PD供电分级/R<sub>RCLASS</sub>选择

CLASS	USAGE	R <sub>RCLASS</sub> ( $\Omega$ )	MAXIMUM POWER USED BY PD (W)
0	Default	10k	0.44 to 12.95
1	Optional	732	0.44 to 3.84
2	Optional	392	3.84 to 6.49
3	Optional	255	6.49 to 12.95
4	Not Allowed	178	Reserved*

\*第4级保留,供将来使用。

表2. 设置分级电流

CLASS	R <sub>RCLASS</sub> ( $\Omega$ )	V <sub>IN</sub> * (V)	CLASS CURRENT SEEN AT V <sub>IN</sub> (mA)		IEEE 802.3af PD CLASSIFICATION CURRENT SPECIFICATION (mA)	
			MIN	MAX	MIN	MAX
0	10k	12.6 to 20	0	2.00	0	4
1	732	12.6 to 20	9.17	11.83	9	12
2	392	12.6 to 20	17.29	19.71	17	20
3	255	12.6 to 20	26.45	29.55	26	30
4	178	12.6 to 20	36.60	41.40	36	44

\*V<sub>IN</sub>是MAX5953A/MAX5953B/MAX5953C/MAX5953D输入引脚的数值(V<sub>+</sub> - V<sub>EE</sub>),不包括二极管桥的压降。

MAX5953A/MAX5953B/MAX5953C/MAX5953D中的PD前端部分根据不同的输入电压(V<sub>IN</sub> = V<sub>+</sub> - V<sub>EE</sub>),有三种不同的工作模式:PD侦测、PD分级和PD供电模式。所有电压门限的设置适应于带有或没有二极管桥的工作情况,并符合IEEE 802.3af标准(参见图2)。

### 侦测模式(1.4V $\leq$ V<sub>IN</sub> $\leq$ 10.1V)

侦测模式下,供电设备(PSE)向V<sub>IN</sub>施加两个1.4V至10.1V范围的电压(最小步长为1V),然后记录这两个点对应的电流测量值。随后,PSE计算 $\Delta V/\Delta I$ ,确认25.5k $\Omega$ 特征电阻是否存在。该模式下,MAX5953A/MAX5953B/MAX5953C/MAX5953D内部的大部分接口电路处于关闭状态,失调电流小于10 $\mu$ A。

### 分级模式(12.6V $\leq$ V<sub>IN</sub> $\leq$ 20V)

分级模式下,PSE根据PD所要求的功率对PD进行分级,以便PSE高效管理功率分配。IEEE 802.3af标准定义了5个不同的级别,如表1所示。分级电流由连接在R<sub>CLASS</sub>与V<sub>EE</sub>之间的外部电阻(R<sub>RCLASS</sub>)设定。

PSE通过在PD输入端施加一个电压,并测量流出PSE的电流来确定PD分级。当PSE施加一个介于12.6V至20V之间的电压时,该器件的输入电流特性如表2所示。PSE利用分级电流信息区分PD所需要的功率。分级电流包括25.5k $\Omega$ 侦测电阻吸收的电流和器件的电源电流,因此,PD吸收的总电流应在IEEE 802.3af标准要求之内。只要器件工作在供电模式,将关闭分级电流检测。

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## 供电模式

在供电模式下,当 $V_{IN}$ 上升至欠压锁定门限( $V_{UVLO,ON}$ )以上时,IC逐步导通内部n沟道MOSFET Q1(图8)。IC通过一个恒流源(典型值为 $10\mu A$ )对Q1的栅极进行充电。Q1的漏-栅电容限制了MOSFET漏极电压的上升速率,因而限制了浪涌电流。为了进一步降低浪涌电流,可外接一个漏-栅电容(参见浪涌电流限制部分)。当Q1的漏极电压与其源极电压之差在1.2V以内,且栅-源电压高于5V时,MAX5953A/MAX5953B触发 $\overline{PGOOD}$ 输出(MAX5953C/MAX5953D触发 $\overline{PGOOD}$ 输出)。IC具有较宽的UVLO滞回和关闭瞬态屏蔽时间,以补偿双绞线的高阻抗。

## PD接口的欠压锁定

该系列器件可工作在高达67V的电源电压,缺省的UVLO开启门限( $V_{UVLO,ON}$ )为38.6V(MAX5953A/MAX5953C)或35.4V(MAX5953B/MAX5953D),而关闭门限( $V_{UVLO,OFF}$ )设置在30V。MAX5953A/MAX5953C通过连接在UVLO的分压电阻提供一个可调节的UVLO门限(参见图3)。当输入电压低于UVLO门限的时间超过 $t_{OFF\_DLY}$ 时,断开MOSFET。

若要调节UVLO门限,在 $V_+$ 、UVLO和 $V_{EE}$ 之间接外部分压电阻网络。可采用下列等式计算UVLO门限所要求的R1和R2:

$$R2 = 25.5k\Omega \times \frac{V_{REF,UVLO}}{V_{IN,EX}}$$

$$R1 = 25.5k\Omega - R2$$

式中 $V_{IN,EX}$ 为UVLO门限。由于用电阻分压网络取代了 $25.5k\Omega$ 的PD侦测电阻,需确保R1与R2之和等于 $25.5k\Omega \pm 1\%$ 。使用外部电阻分压网络时,MAX5953A/MAX5953C可提供20%(典型值)的外部电压门限滞回。也就是说,当UVLO门限由外部设置时,关闭门限为新设置UVLO门限的80%(典型值)。

## 浪涌电流限制

该系列器件利用一个恒流源(典型值为 $10\mu A$ )对内部MOSFET的栅极充电。MOSFET的漏-栅电容限制了漏极电压的上升速率,因而也限制了浪涌电流。在GATE和OUT之间增加一个外部电容可进一步降低浪涌电流。采用下列等式计算浪涌电流:

$$I_{INRUSH} = I_G \times \frac{C_{OUT}}{C_{GATE}}$$

在PoE应用中,推荐浪涌电流的典型值为100mA。

## $\overline{PGOOD}/\overline{PGOOD}$ 输出

$\overline{PGOOD}$ 是漏极开路、高电平有效逻辑输出。当 $V_{OUT}$ 与 $V_{EE}$ 相差在1.2V以内,并且GATE电压比 $V_{EE}$ 高出5V以上时, $\overline{PGOOD}$ 进入高阻态。否则, $\overline{PGOOD}$ 被拉至 $V_{OUT}$ ( $V_{OUT}$ 至少比 $V_+$ 低5V)。将 $\overline{PGOOD}$ 直接与CSS连接,可使能/禁止DC-DC转换器。 $\overline{PGOOD}$ 是漏极开路、低电平有效的逻辑输出。当 $V_{OUT}$ 与 $V_{EE}$ 相差在1.2V以内,并且GATE电压比 $V_{EE}$ 高出5V以上时, $\overline{PGOOD}$ 进入高阻态。需要的话,可在 $\overline{PGOOD}$ 与 $V_+$ 之间连接一个 $100k\Omega$ 的上拉电阻。

## 散热

热关断功能限制了IC的总功耗。当结温超过 $+160^\circ C$ 时,热关断电路关闭MAX5953A/MAX5953B/MAX5953C/MAX5953D,使器件冷却。当温度降低 $20^\circ C$ 后,器件重新开启。

## DC-DC转换器

MAX5953A/MAX5953B/MAX5953C/MAX5953D隔离型PWM电源IC内部集成了电压箝位、双晶体管电源配置的功率开关MOSFET。这些器件可用于正激和反激结构,并具有11V至76V的宽输入电压范围。所采用的电压箝位电源拓扑能够完全恢复存储的磁能和漏感能量,提高效率 and 可靠性。用于驱动二次侧同步整流器的预测信号有助于进一步提高效率。全面的保护功能包括:UVLO、热关断和具有“打嗝”式限流的短路保护,增强了系统的功能和可靠性。高达500kHz的工作频率允许使用更小的外部磁性元件和电容。

## 电源拓扑

双开关正激转换器拓扑具有极高的可靠性,在充分利用内部0.4 $\Omega$ 功率MOSFET的同时可防止器件损坏,避免变压器饱和。与受控电流模式类似,带前馈补偿的电压模式控制可在单个周期内抑制输入电源的干扰,这一点与电流模式控制拓扑类似。

双开关电源拓扑能够恢复存储在磁性元件和变压器内的寄生漏感能量。典型应用电路如图3所示,该图是利用MAX5953A构建的-48V输入、反激变换器的电路原理图。图4所示为-48V输入、正激变换、5V/3A输出的隔离电源电路原理图。



# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## 电压模式控制和PWM斜坡电压

对于电压模式控制，在RCFF引脚可得到前馈PWM斜坡电压。RCFF与GND之间连接一只电容，与HVIN之间连接一只电阻。所产生的斜坡电压作用到PWM比较器的同相输入端RAMP，最小电压约为2V。斜坡电压的斜率取决于HVIN端的电压，并对环路总增益产生影响。斜坡电压的峰值必须保持在RCFF的5.5V动态范围以内。假定在最小输入电压(PWM UVLO导通门限)时，对应的最大占空比接近50%，可采用下列等式计算斜坡电容和电阻的最小值：

$$R_{RCFF} \times C_{RCFF} \geq \frac{V_{IN,EX}}{2 \times f_S \times V_{R(P-P)}}$$

其中 $f_S$ 是开关频率， $V_{R(P-P)}$ 是斜坡电压的峰-峰值(典型值为2V)。选择 $R_{RCFF}$ 介于200k $\Omega$ 与600k $\Omega$ 之间。

将斜坡电压的峰值设置得尽可能高，可获得较大的信噪比。采用下列公式计算功率级的低频、小信号增益(PWM比较器反相输入到输出端的增益)：

$$G_{PS} = N_{SP} \times R_{RCFF} \times C_{RCFF} \times f_S$$

其中： $N_{SP}$ 为变压器次级线圈与初级线圈的匝数比。

## 二次侧同步

MAX5953A/MAX5953B/MAX5953C/MAX5953D为可选的二次侧同步整流器提供了便利的同步设计。图5提供了与高速光耦的连接图，应选择传输延迟小于80ns的光耦。所产生的同步脉冲要比两个功率MOSFET的驱动脉冲超前大约110ns。

## DC-DC转换器的欠压闭锁

将PGOOD连接至DCUVLO，可确保PD接口先于DC-DC转换器准备就绪。DCUVLO模块通过连接在DCUVLO的外部分压电阻(R16和R17)监视HVIN的输入电压(参见图3)。采用下列等式计算R16和R17：

$$V_{DCUVLOIN} = V_{DCUVLO} \times \left(1 + \frac{R16}{R17}\right)$$

其中 $V_{DCUVLOIN}$ 是输入电压闭锁电平，而 $V_{DCUVLO}$ 是欠压闭锁门限(典型值为1.25V)。R17应在100k $\Omega$ 和500k $\Omega$ 之间选择。

## 光耦反馈

隔离的电压反馈采用图3所示光电耦合器实现。将光电晶体管的集电极连接至OPTO，并在OPTO和REGOUT之间连接一个上拉电阻。

## 内部稳压器

HVIN一旦开始供电，内部电源将向DCUVLO侦测电路供电，REGOUT用于驱动内部功率MOSFET。采用一只最小2.2 $\mu$ F的陶瓷电容旁路REGOUT至GND。HVIN LDO对 $V_{HVIN}$ 降压，提供8.75V标称输出( $V_{REGOUT}$ )。另一路并行LDO电源通过INBIAS为REGOUT供电。启动开关工作后，通过二极管连接至INBIAS的第三绕组开始向REGOUT供电。这样REGOUT的电压可以达到10.5V(典型值)，并且关断HVIN与REGOUT之间的电流通道，降低芯片的功耗，提高转换效率。

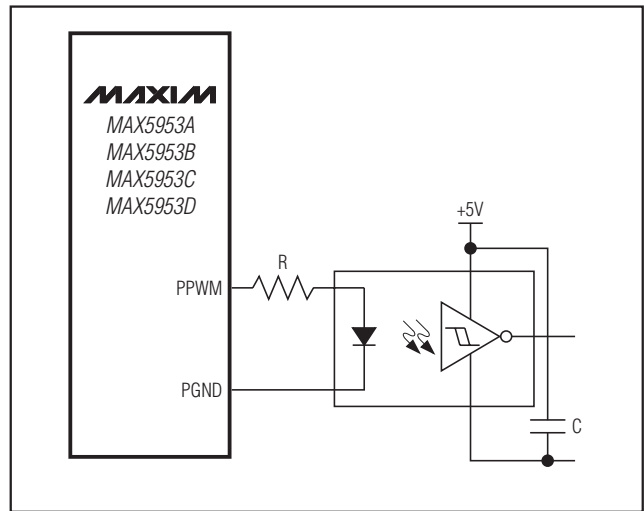


图5. 采用高速光电耦合器的二次侧同步整流器

MAX5953A/MAX5953B/MAX5953C/MAX5953D

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

## 软启动

通过CSS与GND引脚之间的外部电容( $C_{CSS}$ )可以设置MAX5953A/MAX5953B/MAX5953C/MAX5953D的软启动时间。IC上电时, $C_{CSS}$ 以33 $\mu$ A的恒定电流进行充电,电容电压逐渐上升至7.3V。在这段时间内,反馈输入(OPTO)箝位至 $V_{CSS} + 0.6V$ 。这样,在起始阶段使占空比低于调节器施加的数值,防止输出电压过冲。IC断电时,软启动电容器通过内部电路放电至GND。

## 振荡器

通过连接在RTCT与REGOUT之间的电阻和RTCT与GND之间的电容设置振荡器频率。PWM频率是占空比为50%的RTCT引脚频率的一半。采用下列公式计算振荡器的各元件参数:

$$R_{RTCT} \approx \frac{1}{2f_s (C_{RTCT} + C_{PCB}) \ln \left( \frac{V_{REGOUT}}{V_{REGOUT} - V_{TH,RTCT}} \right)}$$

其中: $C_{PCB}$ 是PCB的杂散电容(典型值为14pF), $V_{TH,RTCT}$ 是RTCT峰值触发电平, $f_s$ 是开关频率。

## 积分故障保护

积分故障保护功能允许IC在一个设定的时间范围内忽略瞬态过流故障,在指定的时间范围内电源对于负载而言近似于一个恒流源。例如,这种情况可以发生在负载电流瞬变时,为保证输出电压不超出稳压范围,控制环路将需要一个更大的电流。屏蔽时间通过FLTINT与GND之间的外接电容设置。出现连续过流故障时,电容两端的电压将直线上升到FLTINT的关断门限(典型值为2.7V)。当 $V_{FLTINT}$ 电压达到关断门限时,电源关闭。一个大阻值放电电阻与FLTINT电容并联,使电容放电到重新开启的门限电压(典型值1.9V)。FLTINT电压降低后,可重新开启电源,再次进入软启动过程。

每当触发限流比较器的ILIM(图9)时,80 $\mu$ A的电流在一个时钟周期内强行流入FLTINT,内部故障积分电路开始工作。采用下列公式近似计算屏蔽时间所要求的电容值:

$$C_{FLTINT} \approx \frac{I_{FLTINT} \times t_{SH}}{1.4}$$

其中 $I_{FLTINT}$ 的典型值为80 $\mu$ A, $t_{SH}$ 是对限流比较器检测到的过流故障的屏蔽时间。

这是一个近似计算公式,可能需要通过一些试验调节实际的电容值。

采用下列公式计算恢复时间所要求的放电电阻近似值:

$$R_{FLTINT} \approx \frac{t_{RT}}{C_{FLTINT} \times 0.3514}$$

其中: $t_{RT}$ 是所要求的恢复时间。

选择 $t_{RT}$ 时应满足 $t_{RT} \geq 10 \times t_{SH}$ 。 $t_{SH}$ 的典型值在几百微秒至几毫秒之间。

## 关断

通过一个接GND的集电极开路或漏极开路晶体管驱动DCUVLO至GND,可以关断IC的控制器。如果REGOUT电压低于DCUVLO电平,则关断DC-DC转换器。

## 电流检测比较器

电流检测(CS)比较器及其相关的逻辑电路用来限制流过内部MOSFET的峰值电流。通过检测连接在MOSFET源极和GND之间的检流电阻两端的电压,在CS端实现电流检测。当CS引脚电压达到156mV时,关断功率MOSFET。可根据下列等式选择检流电阻 $R_{SENSE}$ 。

$$R_{SENSE} = 0.156V / I_{LimPrimary}$$

其中 $I_{LimPrimary}$ 是变压器初级的最大峰值电流。

为降低开关噪声,在CS引脚外接一个RC低通滤波器加强滤波(图3所示)。

## 应用信息

### 设计范例

#### 例1: 具有三路输出、反激型DC-DC转换器的PD

图6所示为隔离型、三输出、反激型DC-DC转换器。输出电压为10V时,可提供30mA电流;输出电压为5.1V时,可提供1.8A电流;输出电压为2.55V时,可提供5.4A电流。

#### 例2: 具有非隔离型降压转换器(buck)的PD

图7所示buck转换器能够提供12V、0.75A输出。**注意:**该转换器不具备有源电流限制。

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

MAX5953A/MAX5953B/MAX5953C/MAX5953D

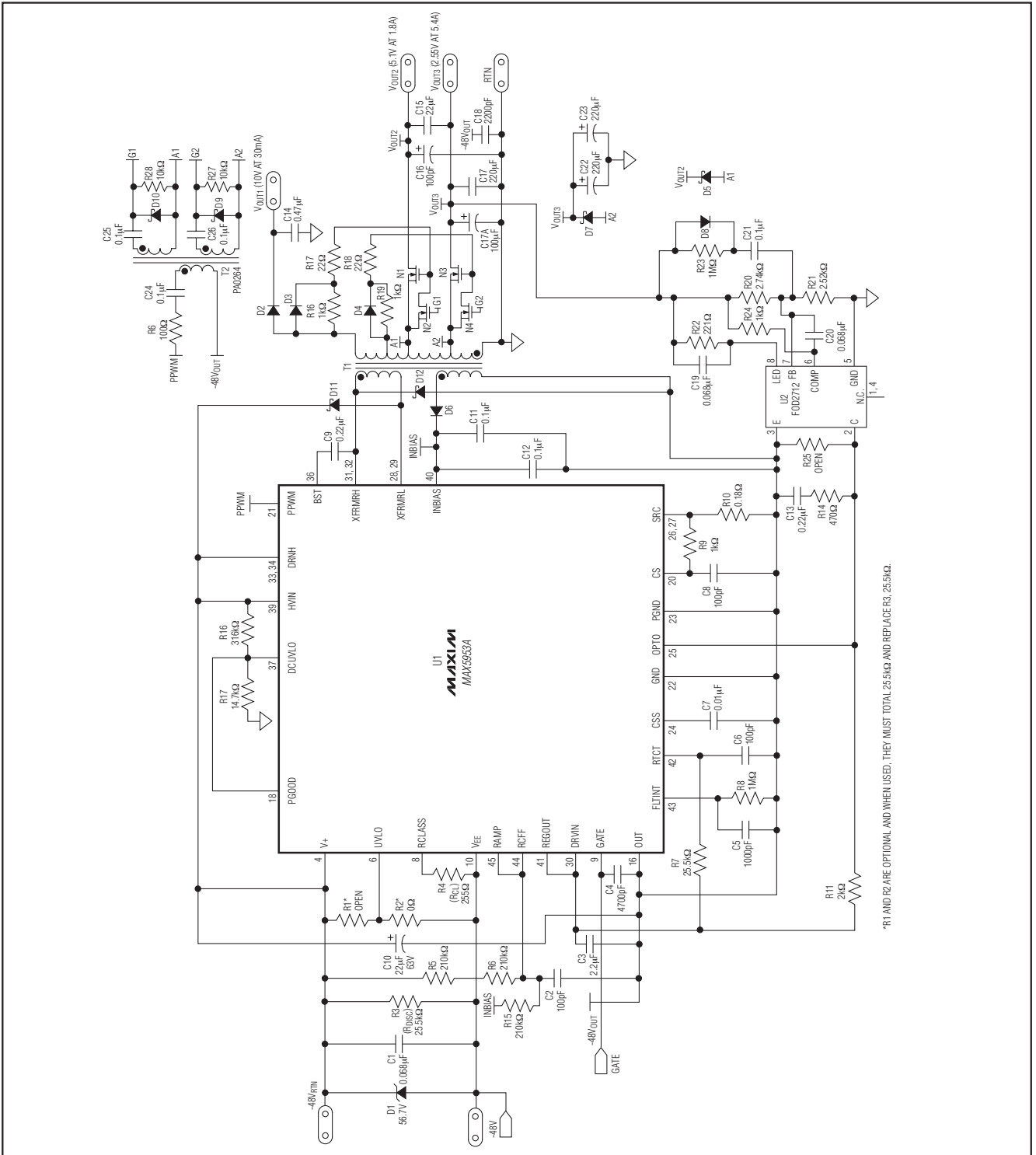


图6. 具有三路输出、反激型DC-DC转换器的PD

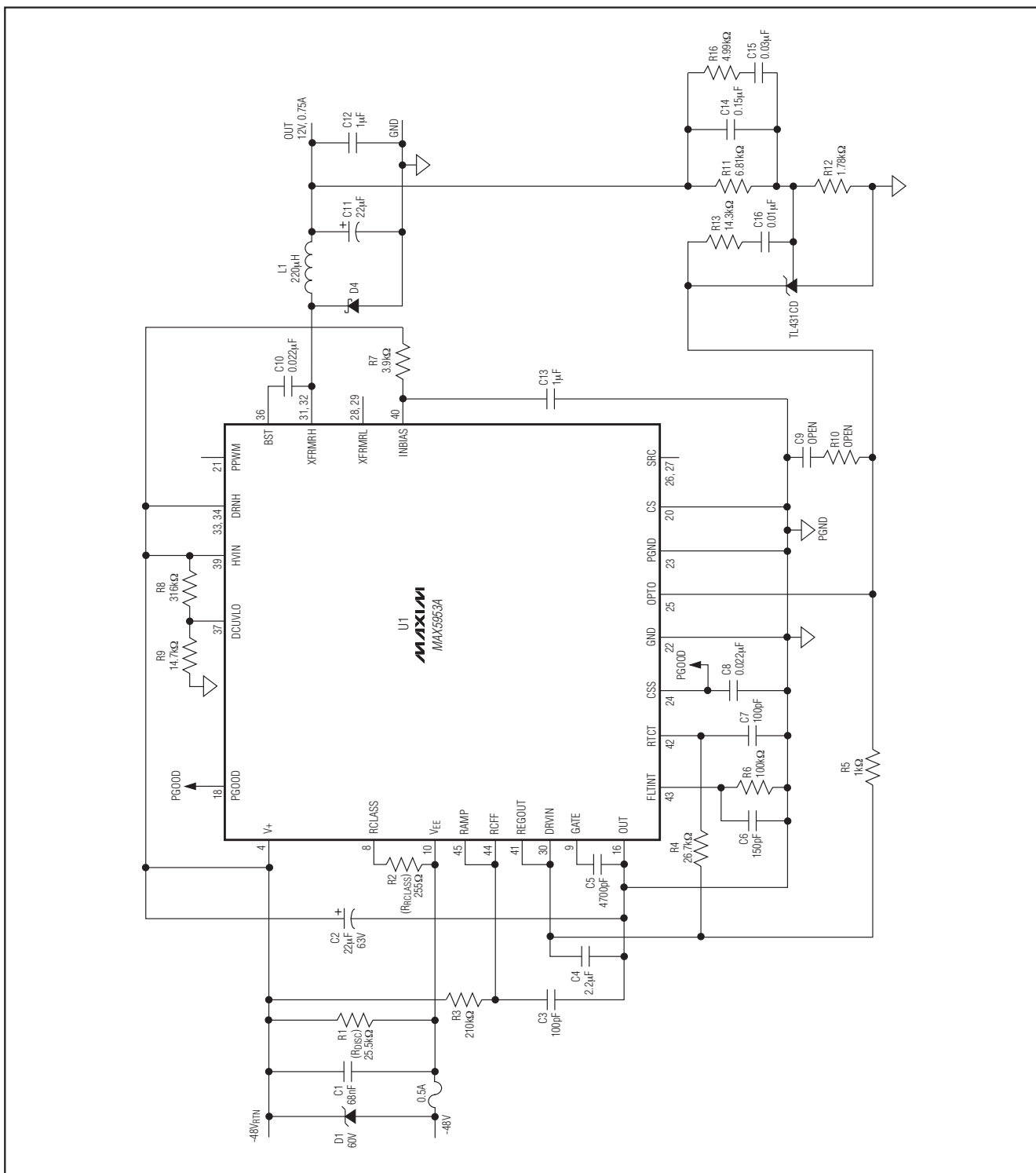
IEEE 802.3af PD接口和PWM控制器,  
集成功率MOSFET

图7. 具有非隔离型降压转换器(buck)的PD

## IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

表3. 元件供应商

COMPONENT	SUPPLIERS	WEBSITE
Power FETS	International Rectifier	www.irf.com
	Fairchild	www.fairchildsemi.com
	Vishay-Siliconix	www.vishay.com/brands/siliconix/main.html
Current-Sense Resistors	Dale-Vishay	www.vishay.com/brands/dale/main.html
	IRC	www.irctt.com/pages/index.cfm
Diodes	ON Semi	www.onsemi.com
	General Semiconductor	www.gensemi.com
	Central Semiconductor	www.centalsemi.com
Capacitors	Sanyo	www.sanyo.com
	Taiyo Yuden	www.t-yuden.com
	AVX	www.avxcorp.com
Magnetics	Coiltronics	www.cooperet.com
	Coilcraft	www.coilcraft.com
	Pulse Engineering	www.pulseeng.com

### 布局建议

所有承载脉冲电流的引线都必须非常短，而且尽可能宽，用一个地层作为返回通路。由于高频开关电源转换器中电流的 $di/dt$ 非常高，这些引线的电感必须尽可能小。需要

仔细分析任何参考布板中的电流环路，使其内部面积最小，以降低EMI辐射。地层应尽量保持完整。

MAX5953A/MAX5953B/MAX5953C/MAX5953D

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

原理框图

MAX5953A/MAX5953B/MAX5953C/MAX5953D

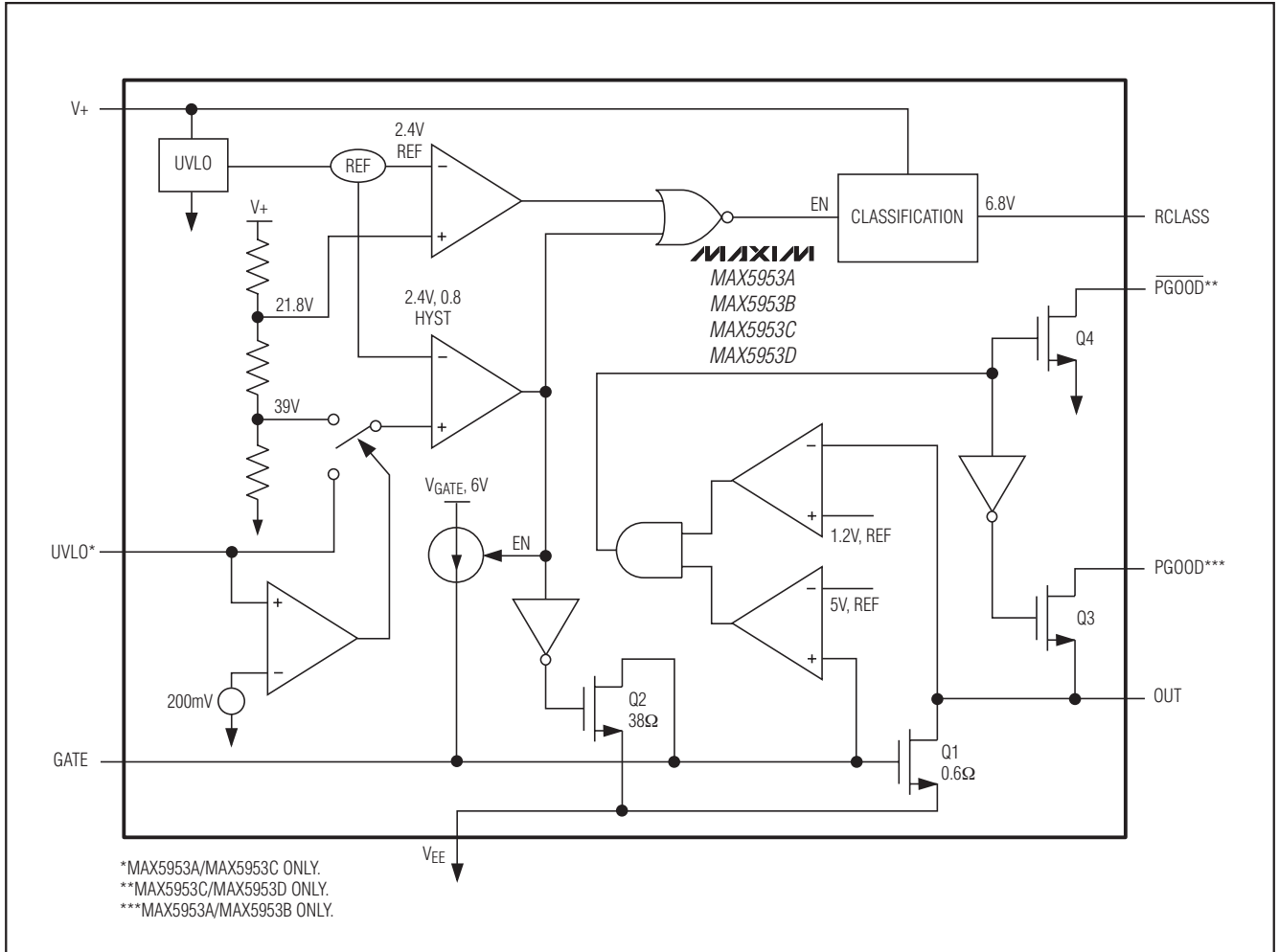


图8. 受电设备接口框图

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

原理框图(续)

MAX5953A/MAX5953B/MAX5953C/MAX5953D

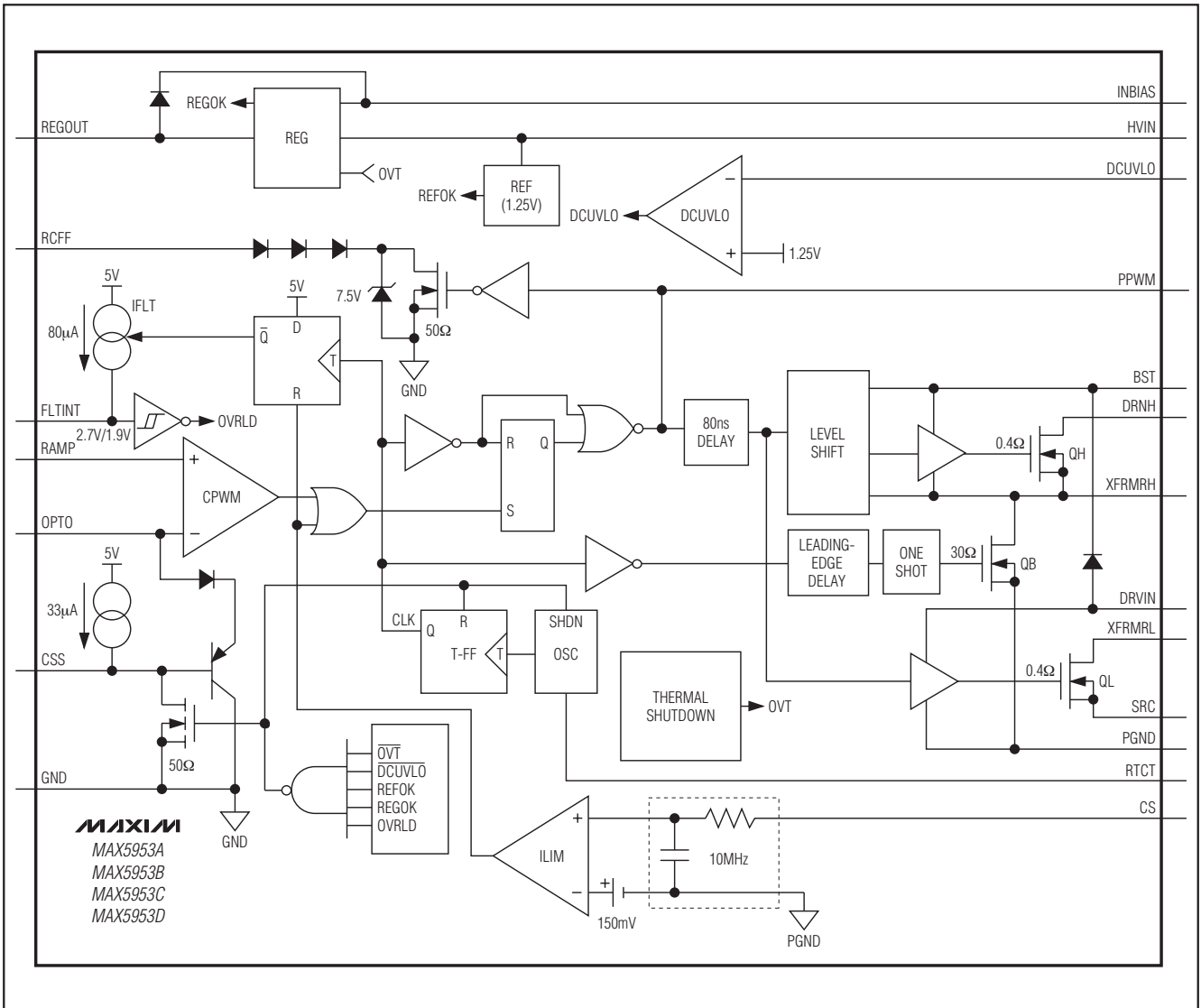
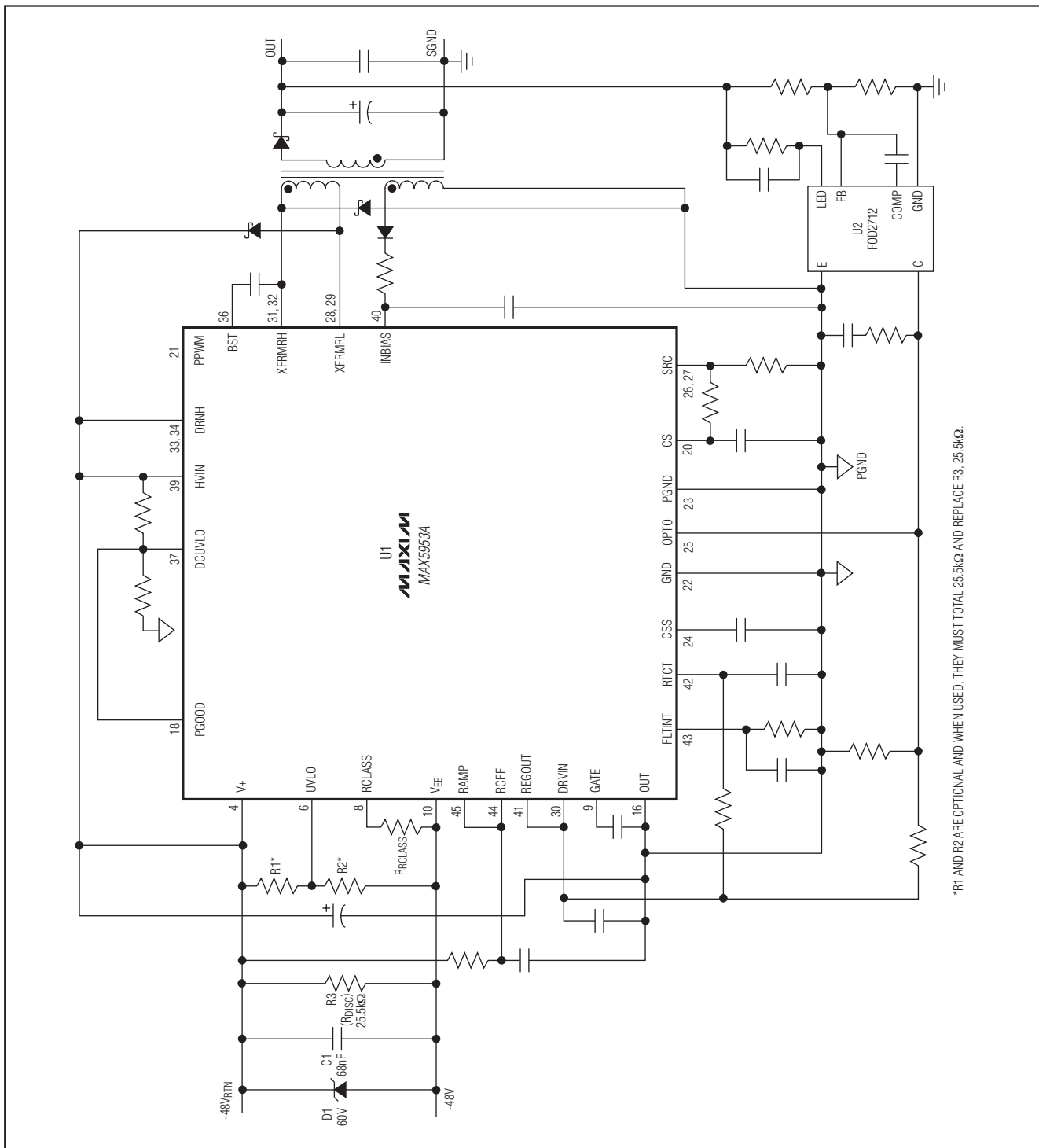


图9. DC-DC转换器原理框图(电压模式PWM控制器和双开关功率级)

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

典型工作电路

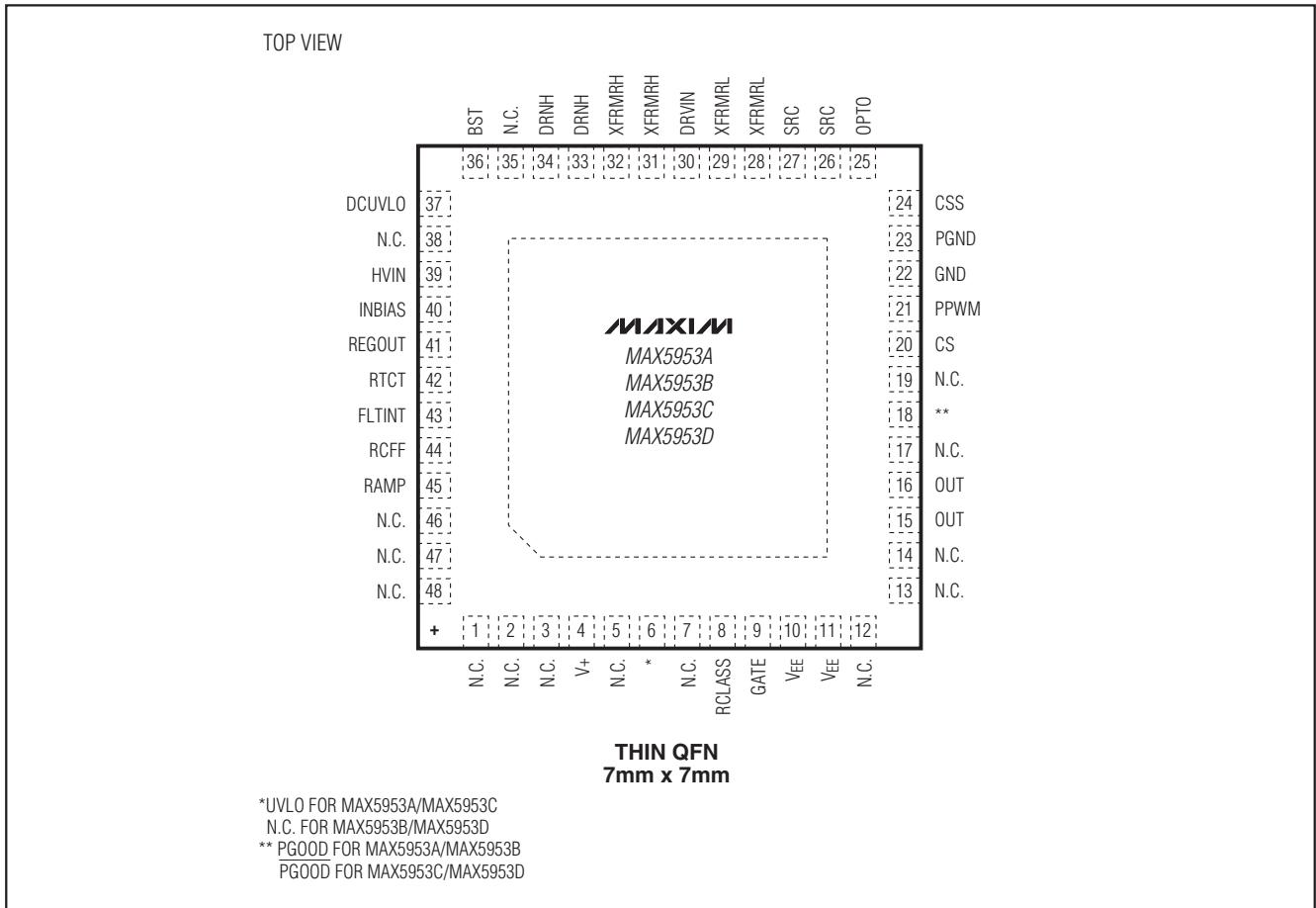




# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

引脚配置

MAX5953A/MAX5953B/MAX5953C/MAX5953D



## 选型指南

PART	PGOOD or PGOOD	UVLO
MAX5953A	PGOOD	Adjustable
MAX5953B	PGOOD	Fixed
MAX5953C	PGOOD	Adjustable
MAX5953D	PGOOD	Fixed

## 芯片信息

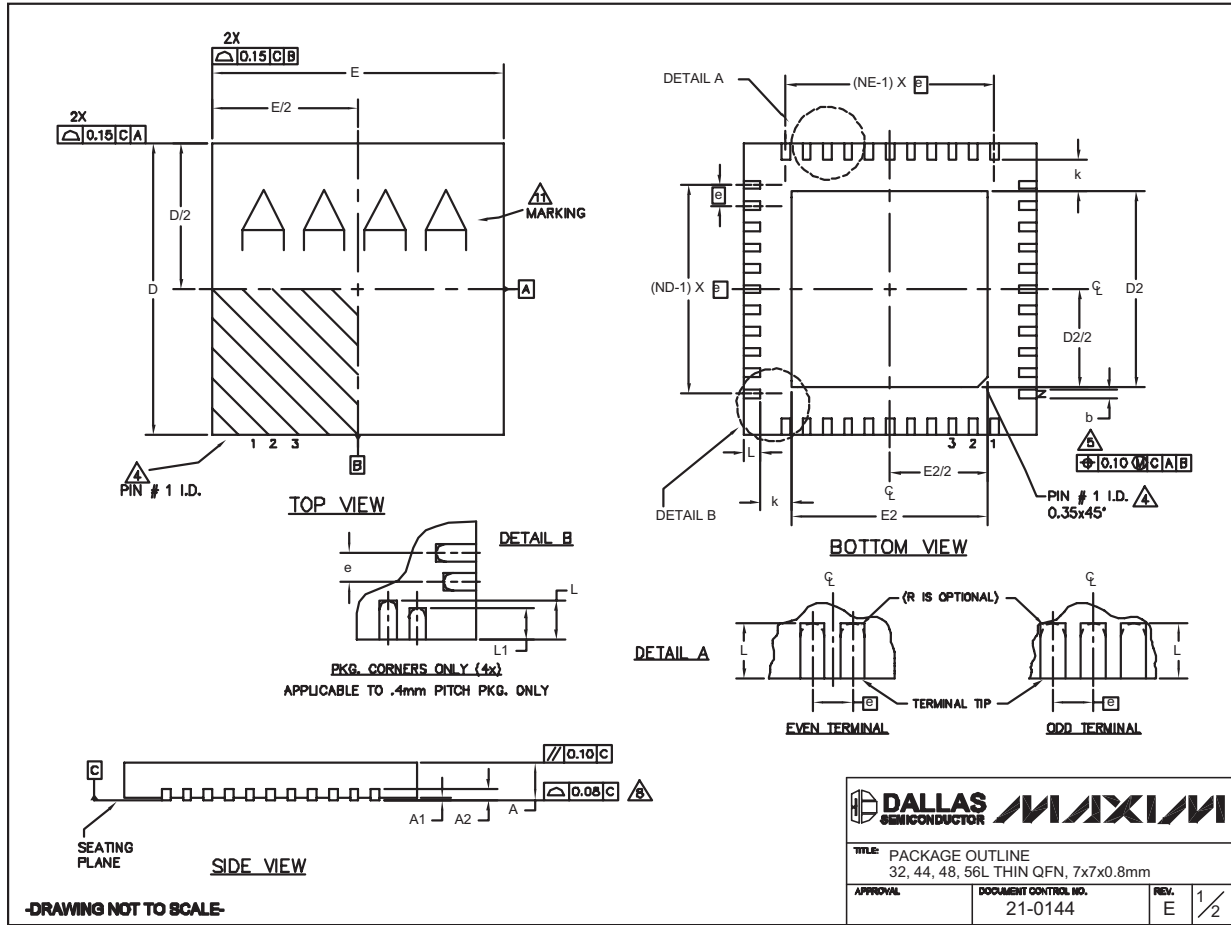
PROCESS: BiCMOS

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)

MAX5953A/MAX5953B/MAX5953C/MAX5953D



32, 44, 48L QFN.EPS

# IEEE 802.3af PD接口和PWM控制器, 集成功率MOSFET

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)

MAX5953A/MAX5953B/MAX5953C/MAX5953D

COMMON DIMENSIONS													EXPOSED PAD VARIATIONS												
PKG	32L 7x7			44L 7x7			48L 7x7			CUSTOM PKG. (T4877-1) 48L 7x7			56L 7x7			PKG. CODES	DEPOPULATED LEADS	DZ			EZ			JEDEC MO220 REV. C	DOWN BONDS ALLOWED
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T3277-2	-	4.55	4.70	4.85	4.55	4.70	4.85	-	YES
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	-	0.05	T3277-3	-	4.55	4.70	4.85	4.55	4.70	4.85	-	NO
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			T4477-2	-	4.55	4.70	4.85	4.55	4.70	4.85	WKD-1	YES
b	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30	0.20	0.25	0.30	0.15	0.20	0.25	T4477-3	-	4.55	4.70	4.85	4.55	4.70	4.85	WKD-1	YES
D	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-1**	13,24,37,48	4.20	4.30	4.40	4.20	4.30	4.40	-	NO
E	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	6.90	7.00	7.10	T4877-3	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES
e	0.65 BSC.			0.50 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T4877-4	-	5.45	5.60	5.63	5.45	5.60	5.63	-	YES
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	0.35	0.45	T4877-5	-	2.40	2.50	2.60	2.40	2.50	2.60	-	NO
L	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.45	0.55	0.65	0.40	0.50	0.60	T4877-6	-	5.45	5.60	5.63	5.45	5.60	5.63	-	NO
L1	-	-	-	-	-	-	-	-	-	-	-	-	0.30	0.40	0.50	T4877-7	-	4.95	5.10	5.25	4.95	5.10	5.25	-	YES
N	32			44			48			44			56			T5677-1	-	5.20	5.30	5.40	5.20	5.30	5.40	-	YES
ND	8			11			12			10			14												
NE	8			11			12			12			14												

\*\* NOTE: T4877-1 IS A CUSTOM 48L PKG. WITH 4 LEADS DEPOPULATED. TOTAL NUMBER OF LEADS ARE 44.

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220 EXCEPT THE EXPOSED PAD DIMENSIONS OF T4877-1/-3/-4/-5/-6 & T5677-1.
- WARPAGE SHALL NOT EXCEED 0.10 mm.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

**-DRAWING NOT TO SCALE-**

TITLE: PACKAGE OUTLINE 32, 44, 48, 56L THIN QFN, 7x7x0.8mm	
APPROVAL	DOCUMENT CONTROL NO. 21-0144
REL. E	2/2

## 修订历史

Rev 1中的修改页: 1、27。

## MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600

27

© 2006 Maxim Integrated Products

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。