

IEEE 802.3af PD接口控制器,
用于以太网供电

概述

MAX5940A/MAX5940B/MAX5940C/MAX5940D 为用电设备(PD)提供完整的接口功能,使其符合IEEE 802.3af以太网供电系统标准。MAX5940A/MAX5940B/MAX5940C/MAX5940D为PD提供检测特征信号、分级特征信号和可编程浪涌电流的集成隔离开关。这两款芯片还具有宽滞回的供电模式欠压锁定(UVLO)以及电源就绪状态指示等功能。MAX5940A/MAX5940B具有80V的最大绝对额定值,MAX5940C/MAX5940D的最大绝对额定值为90V。

集成MOSFET在检测和分级过程中提供PD隔离。所有器件确保检测阶段的漏电流偏移小于 $10\mu\text{A}$ 。可编程限流功能可以防止上电过程产生较高的浪涌电流。该器件集成了宽滞回的供电模式UVLO,并具有持久的抗尖峰脉冲功能,用于补偿双绞线电缆的阻抗衰落,保证在检测、分级以及电源开/关过程中不受瞬间脉冲的干扰。

MAX5940A/MAX5940C提供一个高电平有效的电源就绪指示(PGOOD),漏极开路输出,还提供一个固定的UVLO门限。MAX5940B/MAX5940D同时提供高电平有效的PGOOD输出和低电平有效地 $\overline{\text{PGOOD}}$ 输出,另外,还提供可调节UVLO门限,默认值符合802.3af标准。所有器件可以配合外部二极管桥工作,也可以不使用二极管桥。

MAX5940A/MAX5940B/MAX5940C/MAX5940D采用8引脚SO封装,工作在扩展级温度范围:-40°C至+85°C。

应用

IP电话	安全摄像机
无线接入节点	IEEE 802.3af电源设备
计算机电话	

特性

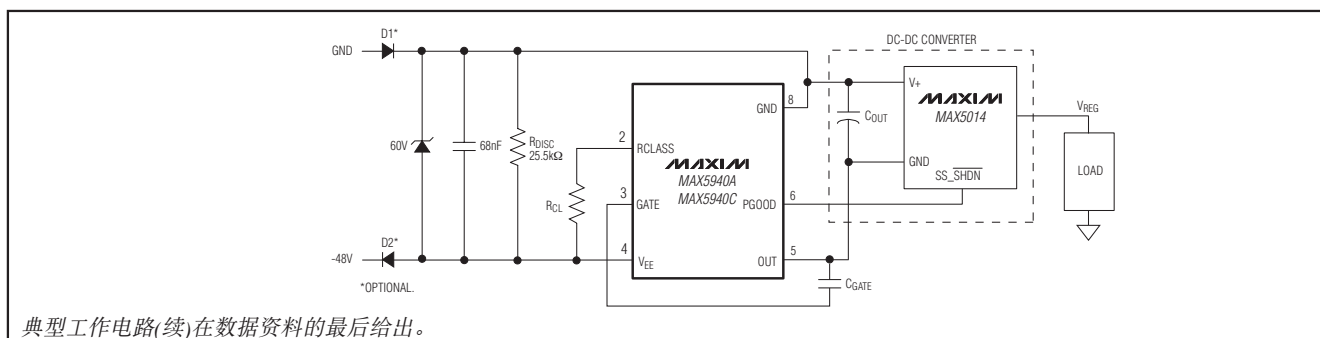
- ◆ 完全集成的、兼容于IEEE 802.3af标准的PD接口
- ◆ PD检测及可编程分级信号
- ◆ 检测过程中漏电流偏移小于 $10\mu\text{A}$
- ◆ 集成MOSFET用于隔离或限制浪涌电流
- ◆ 90V的最大绝对额定值(MAX5940C/MAX5940D)
- ◆ 栅极输出允许从外部控制内部隔离MOSFET
- ◆ 可编程浪涌电流控制
- ◆ 可编程欠压锁定(仅限MAX5940B/MAX5940D)
- ◆ 较宽的UVLO滞回适应双绞线的电压跌落
- ◆ PGOOD/ $\overline{\text{PGOOD}}$ 输出能够启动下行DC-DC变换器
- ◆ -40°C至+85°C的工作温度范围

订购信息

PART	TEMP RANGE	PIN-PACKAGE	UVLO
MAX5940AESA	-40°C to +85°C	8 SO	Fixed
MAX5940BESA	-40°C to +85°C	8 SO	Adjustable
MAX5940CESA	-40°C to +85°C	8 SO	Fixed
MAX5940DESA	-40°C to +85°C	8 SO	Adjustable

引脚配置在数据资料的最后给出。

典型工作电路



IEEE 802.3af PD接口控制器, 用于以太网供电

ABSOLUTE MAXIMUM RATINGS

(All voltages are referenced to V_{EE} , unless otherwise noted.)
 GND (MAX5940A/MAX5940B)-0.3V to +80V
 GND (MAX5940C/MAX5940D).....-0.3V to +90V
 OUT, $\overline{\text{PGOOD}}$ -0.3V to (GND + 0.3V)
 RCLASS, GATE-0.3V to +12V
 UVLO-0.3V to +8V
 PGOOD to OUT.....-0.3V to (GND + 0.3V)
 Maximum Input/Output Current (continuous)
 OUT to V_{EE} 500mA

GND, RCLASS to V_{EE} 70mA
 UVLO, PGOOD, PGOOD to V_{EE} 20mA
 GATE to V_{EE}80mA
 Continuous Power Dissipation ($T_A = +70^\circ\text{C}$)
 8-Pin SO (derate 5.9mW/ $^\circ\text{C}$ above $+70^\circ\text{C}$).....470mW
 Operating Temperature Range-40 $^\circ\text{C}$ to +85 $^\circ\text{C}$
 Storage Temperature Range-65 $^\circ\text{C}$ to +150 $^\circ\text{C}$
 Junction Temperature+150 $^\circ\text{C}$
 Lead Temperature (soldering, 10s)+300 $^\circ\text{C}$

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

($V_{IN} = (\text{GND} - V_{EE}) = 48\text{V}$, GATE = $\overline{\text{PGOOD}}$ = PGOOD = OUT = OPEN, UVLO = V_{EE} , $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$, unless otherwise noted. Typical values are at $T_A = +25^\circ\text{C}$. All voltages are referenced to V_{EE} , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
DETECTION MODE							
Input Offset Current (Note 2)	I_{OFFSET}	$V_{IN} = 1.4\text{V}$ to 10.1V			10	μA	
Effective Differential Input Resistance (Note 3)	dR	$V_{IN} = 1.4\text{V}$ up to 10.1V with 1V step, OUT = $\overline{\text{PGOOD}}$ = GND	550			k Ω	
CLASSIFICATION MODE							
Classification Current Turn-Off Threshold (Note 4)	$V_{\text{TH,CLSS}}$	V_{IN} rising	20.8	21.8	22.5	V	
Classification Current (Notes 5, 6)	I_{CLASS}	$V_{IN} = 12.6\text{V}$ to 20V , $R_{\text{DISC}} = 25.5\text{k}\Omega$	Class 0, $R_{\text{CL}} = 10\text{k}\Omega$	0		2	mA
			Class 1, $R_{\text{CL}} = 732\Omega$	9.17		11.83	
			Class 2, $R_{\text{CL}} = 392\Omega$	17.29		19.71	
			Class 3, $R_{\text{CL}} = 255\Omega$	26.45		29.55	
			Class 4, $R_{\text{CL}} = 178\Omega$	36.6		41.4	
POWER MODE							
Operating Supply Voltage	V_{IN}	$V_{IN} = (\text{GND} - V_{EE})$			67	V	
Operating Supply Current	I_{IN}	Measure at GND, not including R_{DISC}		0.4	1	mA	
Default Power Turn-On Voltage	$V_{\text{UVLO, ON}}$	V_{IN} increasing	MAX5940A/MAX5940C	34.3	35.4	36.6	V
			MAX5940B/MAX5940D, UVLO = V_{EE}	37.4	38.6	39.9	
Default Power Turn-Off Voltage	$V_{\text{UVLO, OFF}}$	V_{IN} decreasing, UVLO = V_{EE} for MAX5940B/MAX5940D	30			V	
Default Power Turn-On/Off Hysteresis	$V_{\text{HYST, UVLO}}$	MAX5940A/MAX5940C	4.2			V	
		MAX5940B/MAX5940D, UVLO = V_{EE}	7.4				
External UVLO Programming Range	$V_{IN, EX}$	Set UVLO externally (MAX5940B/MAX5940D only) (Note 7)	12		67	V	
UVLO External Reference Voltage	$V_{\text{REF, UVLO}}$		2.400	2.460	2.522	V	
UVLO External Reference Voltage Hysteresis	HYST	Ratio to $V_{\text{REF, UVLO}}$	19.2	20	20.9	%	
UVLO Bias Current	I_{UVLO}	UVLO = 2.460V	-1.5		+1.5	μA	

IEEE 802.3af PD接口控制器， 用于以太网供电

MAX5940A/MAX5940B/MAX5940C/MAX5940D

ELECTRICAL CHARACTERISTICS (continued)

($V_{IN} = (GND - V_{EE}) = 48V$, $GATE = \overline{PGOOD} = PGOOD = OUT = OPEN$, $UVLO = V_{EE}$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$. All voltages are referenced to V_{EE} , unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
UVLO Input Ground Sense Threshold (Note 8)	$V_{TH,G,UVLO}$		50		440	mV	
UVLO Input Ground Sense Glitch Rejection		$UVLO = V_{EE}$		7		μs	
Power Turn-Off Voltage, Undervoltage Lockout Deglitch Time (Note 9)	t_{OFF_DLY}	V_{IN} , V_{UVLO} falling	0.32			ms	
Isolation Switch N-Channel MOSFET On-Resistance	R_{ON}	Output current = 300mA, $V_{GATE} = 6V$, measured between OUT and V_{EE}	$T_A = +25^{\circ}C$ (Note 10)		0.6	1.1	Ω
			$T_A = +85^{\circ}C$		0.8	1.5	
Isolation Switch N-Channel MOSFET Off-Threshold Voltage	V_{GSTH}	OUT = GND, $V_{GATE} - V_{EE}$, output current < $1\mu A$	0.5			V	
GATE Pulldown Switch Resistance	R_G	Power-off mode, $V_{IN} = 12V$, $UVLO = V_{EE}$ for MAX5940B		38	80	Ω	
GATE Charging Current	I_G	$V_{GATE} = 2V$	5	10	15	μA	
GATE High Voltage	V_{GATE}	$I_{GATE} = 1\mu A$	5.59	5.76	5.93	V	
$PGOOD$, \overline{PGOOD} Assertion V_{OUT} Threshold	V_{OUTEN}	$V_{OUT} - V_{EE}$, $ V_{OUT} - V_{EE} $ decreasing, $V_{GATE} = 5.75V$	1.16	1.23	1.31	V	
		Hysteresis		70		mV	
$PGOOD$, \overline{PGOOD} Assertion V_{GATE} Threshold	V_{GSEN}	($GATE - V_{EE}$) increasing, $OUT = V_{EE}$	4.62	4.76	4.91	V	
		Hysteresis		80		mV	
$PGOOD$, \overline{PGOOD} Output Low Voltage (Note 11)	V_{OLDCDC}	$I_{SINK} = 2mA$; for $PGOOD$, $OUT \leq (GND - 5V)$			0.4	V	
$PGOOD$ Leakage Current (Note 11)		$GATE = high$, $GND - V_{OUT} = 67V$			1	μA	
\overline{PGOOD} Leakage Current (Note 11)		$GATE = V_{EE}$, $\overline{PGOOD} - V_{EE} = 67V$			1	μA	

Note 1: All min/max limits are production tested at $+85^{\circ}C$. Limits at $+25^{\circ}C$ and $-40^{\circ}C$ are guaranteed by design.

Note 2: The input offset current is illustrated in Figure 1.

Note 3: Effective differential input resistance is defined as the differential resistance between GND and V_{EE} without any external resistance. See Figure 1.

Note 4: Classification current is turned off whenever the IC is in power mode.

Note 5: See Table 2 in the *PD Classification Mode* section. R_{DISC} and R_{CL} must be $\pm 1\%$, 100ppm or better. I_{CLASS} includes the IC bias current and the current drawn by R_{DISC} .

Note 6: See the *Thermal Dissipation* section for details.

Note 7: When UVLO is connected to the midpoint of an external resistor-divider with a series resistance of $25.5k\Omega$ ($\pm 1\%$), the turn-on threshold set-point for the power mode is defined by the external resistor-divider. Make sure the voltage on the UVLO pin does not exceed its maximum rating of 8V when V_{IN} is at the maximum voltage (MAX5940B only).

Note 8: When the UVLO input voltage is below $V_{TH,G,UVLO}$, the MAX5940B sets the UVLO threshold internally.

Note 9: An input voltage or V_{UVLO} glitch below their respective thresholds shorter than or equal to t_{OFF_DLY} does not cause the MAX5940A/MAX5940B/MAX5940C/MAX5940D to exit power-on mode (as long as the input voltage remains above an operable voltage level of 12V).

Note 10: Guaranteed by design.

Note 11: $PGOOD$ references to OUT while \overline{PGOOD} references to V_{EE} .

IEEE 802.3af PD接口控制器， 用于以太网供电

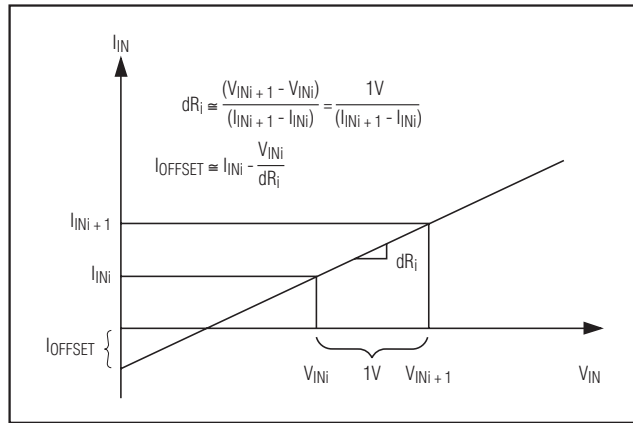
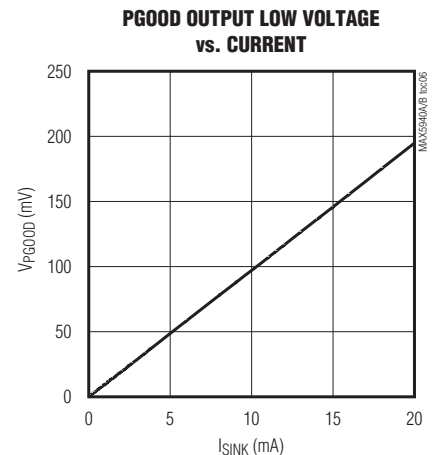
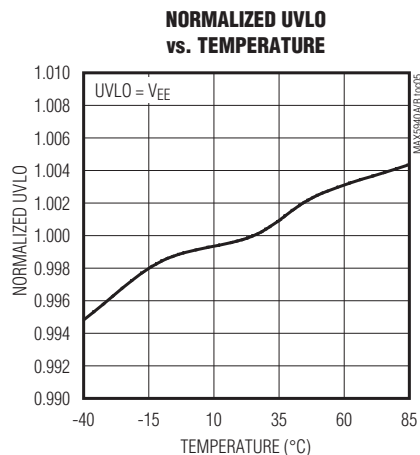
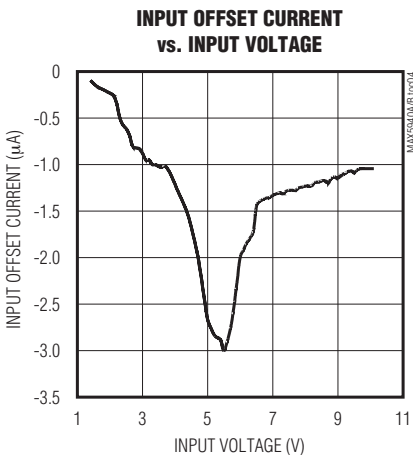
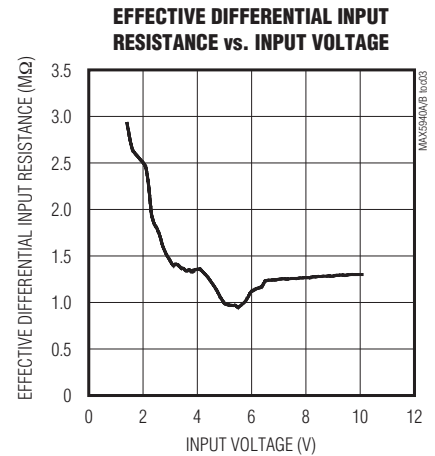
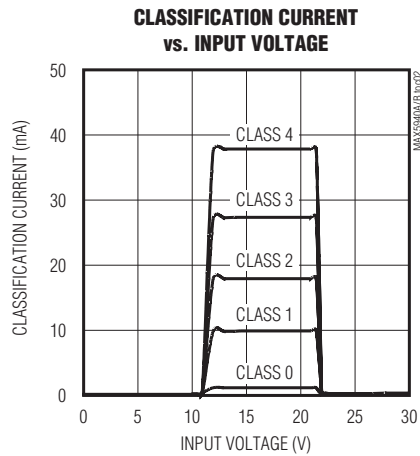
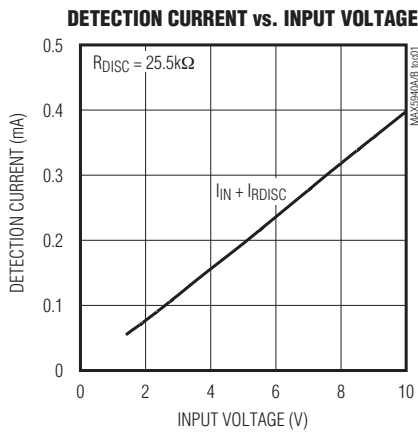


图1. 有效差分输入电阻/偏移电流

典型工作特性

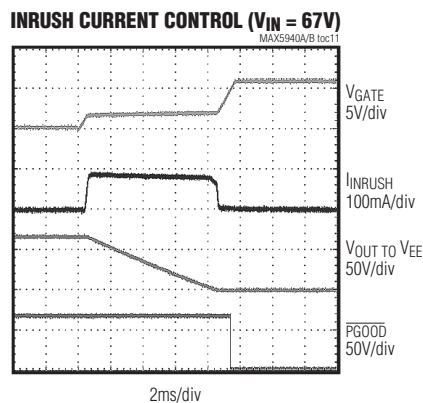
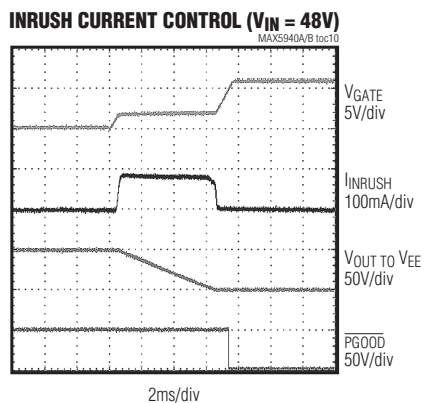
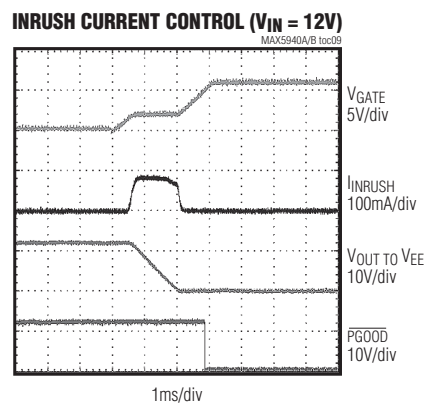
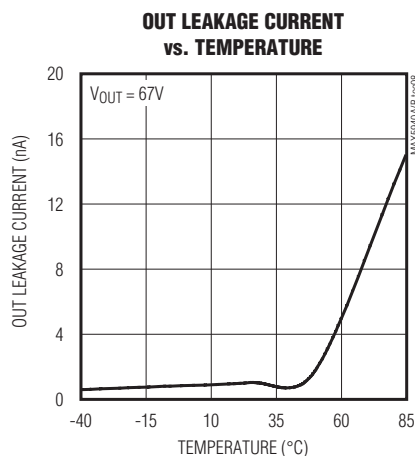
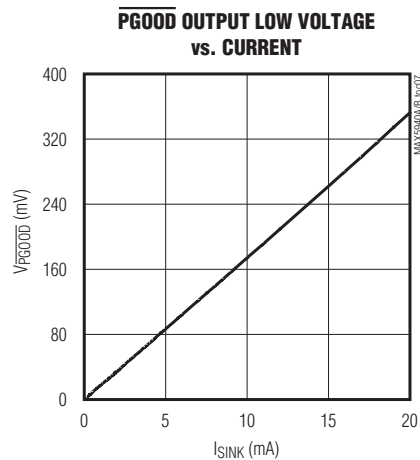
($V_{IN} = (GND - V_{EE}) = 48V$, $GATE = \overline{PGOOD} = PGOOD = OUT = OPEN$, $UVLO = V_{EE}$ (MAX5940B), $T_A = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $T_A = +25^{\circ}C$. All voltages are referenced to V_{EE} , unless otherwise noted.)



IEEE 802.3af PD接口控制器， 用于以太网供电

典型工作特性(续)

($V_{IN} = (GND - V_{EE}) = 48V$, $GATE = \overline{PGOOD} = PGOOD = OUT = OPEN$, $UVLO = V_{EE}$ (MAX5940B), $T_A = -40^{\circ}C$ to $+85^{\circ}C$. Typical values are at $T_A = +25^{\circ}C$. All voltages are referenced to V_{EE} , unless otherwise noted.)



MAX5940A/MAX5940B/MAX5940C/MAX5940D

IEEE 802.3af PD接口控制器， 用于以太网供电

引脚说明

引脚		名称	功能
MAX5940A/ MAX5940C	MAX5940B/ MAX5940D		
1, 7	—	N.C.	不连接。没有内部连接。
—	1	UVLO	供电模式下欠压锁定编程输入。当UVLO高于其门限时，器件进入供电模式。UVLO与V _{EE} 相连时采用默认的欠压锁定门限。UVLO接外部电阻分压器可从外部定义一个门限。外部串联电阻值总和必须为25.5kΩ(±1%)，以替代检测电阻。如要保持芯片为欠压锁定状态，则将UVLO设置在V _{TH,G,UVLO} 至V _{REF,UVLO} 之间。
2	2	RCLASS	分级设置。在RCLASS与V _{EE} 之间接一个电阻设置PD的级别(参见表1和表2)。
3	3	GATE	内部N沟道功率MOSFET的栅极。在器件进入供电模式时，GATE提供10μA电流。在GATE和OUT之间外接耐压100V的陶瓷电容(C _{GATE})，用于编程设置浪涌电流。将GATE上拉到V _{EE} 可关断内部MOSFET。当GATE上拉到V _{EE} 时，检测和分级功能可正常运行。
4	4	V _{EE}	负电源输入。它是集成的隔离N沟道功率MOSFET的源极。将V _{EE} 接至-48V。
5	5	OUT	输出电压。它是集成的隔离N沟道功率MOSFET的漏极。
6	6	PGOOD	电源就绪指示输出。高电平有效，漏极开路输出。PGOOD以OUT端为参考。当V _{OUT} 在V _{EE} 的1.2V以内、GATE比V _{EE} 高出5V时，PGOOD变为高阻态。否则，PGOOD被拉至OUT(此时，V _{OUT} 至少比GND低5V)。将PGOOD接至下行DC-DC变换器的ON引脚。
—	7	$\overline{\text{PGOOD}}$	电源就绪指示输出。低电平有效，漏极开路输出。 $\overline{\text{PGOOD}}$ 以V _{EE} 端为参考。当V _{OUT} 在V _{EE} 的1.2V以内、GATE比V _{EE} 高出5V时， $\overline{\text{PGOOD}}$ 被拉至V _{EE} 。否则， $\overline{\text{PGOOD}}$ 变为高阻态。将 $\overline{\text{PGOOD}}$ 接至下行DC-DC变换器的ON引脚。
8	8	GND	地。GND为正输入端。

详细说明

工作模式

MAX5940_的PD前端部分可工作在3种不同模式：PD检测特征信号、PD分级和PD供电，由输入电压(V_{IN} = GND - V_{EE})确定。所有电压门限既适合在有二极管桥的情况下工作，又适合在没有二极管桥的情况下工作，并且符合IEEE 802.3af标准(参见图4)。

检测模式(1.4V ≤ V_{IN} ≤ 10.1V)

检测模式下，供电设备(PSE)在V_{IN}上施加两个电压，范围为：1.4V至10.1V(最小步长1V)，然后记录两个点的电流测量值。PSE随后计算ΔV/ΔI，以确保存在25.5kΩ的标

记电阻。该模式下，MAX5940_内部大部分电路处于关闭状态，而且偏移电流小于10μA。

如果作用到PD上的电压是反相的，则在输入端安装保护二极管，以避免损坏MAX5940_的内部电路(参见典型应用电路)。由于PSE使用斜率(ΔV/ΔI)来计算信号阻抗，可以消除保护二极管引起的直流偏移，并且不影响检测流程。

分级模式(12.6V ≤ V_{IN} ≤ 20V)

分级模式下，PSE根据PD所需要的消耗功率对PD进行分级。这样，可以使PSE有效管理功率分配。IEEE 802.3af标准定义了表1所示的5种不同等级。分级电流由连接在RCLASS与V_{EE}之间的外部电阻(R_{CL})设定。

IEEE 802.3af PD接口控制器， 用于以太网供电

表1. PD功率分级/R_{CL}选择

CLASS	USAGE	R _{CL} (Ω)	MAXIMUM POWER USED BY PD (W)
0	Default	10k	0.44 to 12.95
1	Optional	732	0.44 to 3.84
2	Optional	392	3.84 to 6.49
3	Optional	255	6.49 to 12.95
4	Not Allowed	178	Reserved*

*第4级保留，供以后使用。

表2. 设置分级电流

CLASS	R _{CL} (Ω)	V _{IN} * (V)	CLASS CURRENT SEEN AT V _{IN} (mA)		IEEE 802.3af PD CLASSIFICATION CURRENT SPECIFICATION (mA)	
			MIN	MAX	MIN	MAX
0	10k	12.6 to 20	0	2	0	4
1	732	12.6 to 20	9.17	11.83	9	12
2	392	12.6 to 20	17.29	19.71	17	20
3	255	12.6 to 20	26.45	29.55	26	30
4	178	12.6 to 20	36.6	41.4	36	44

*在MAX5940的输入端测量V_{IN}，不包括二极管桥的压降。

PSE通过在PD输入端施加一个电压、并检测PSE提供的电流来确定PD的级别。当PSE施加一个介于12.6V至20V之间的电压时，MAX5940_会显示表2所示的电流特征值。PSE利用分级电流信息区分PD所需要的功率。由于分级电流包含了25.5kΩ检测标记电阻消耗的电流和MAX5940_的电源电流，PD吸收的总电流在IEEE 802.3af标准要求之内。只要芯片进入供电模式，分级电流将被断开。

供电模式

供电模式下，当V_{IN}上升至欠压锁定门限(V_{UVLO,ON})以上时，MAX5940_逐步开启内部N沟道MOSFET Q1(参见图2)。MAX5940_用一个恒流源(典型值为10μA)对Q1栅极进行充电。Q1的漏-栅电容限制MOSFET漏极电压的上升速率，因而限制了浪涌电流。为了降低浪涌电流，可在外部添加漏-栅电容(参见浪涌电流限制部分)。当

Q1的漏极电压在其源极电压的1.2V以内、并且栅-源电压高于5V时，MAX5940_使PGOOD/PGOOD输出置位。MAX5940_具有较宽的UVLO滞回和阻断瞬态干扰的时间，可有效补偿双绞线电缆的高阻。

欠压锁定

MAX5940_可工作在高达67V的电源电压，UVLO默认开启值(V_{UVLO,ON})为35V(MAX5940A/MAX5940C)或39V(MAX5940B/MAX5940D)，UVLO默认关断值(V_{UVLO,OFF})为30V。MAX5940B/MAX5940D提供可调节的UVLO门限，由UVLO端的外接电阻分压器决定(参见图3)。当输入电压高于UVLO门限时，IC进入供电模式，MOSFET导通。当输入电压低于UVLO门限的时间超过t_{OFF_DLY}时，MOSFET断开。

IEEE 802.3af PD接口控制器， 用于以太网供电

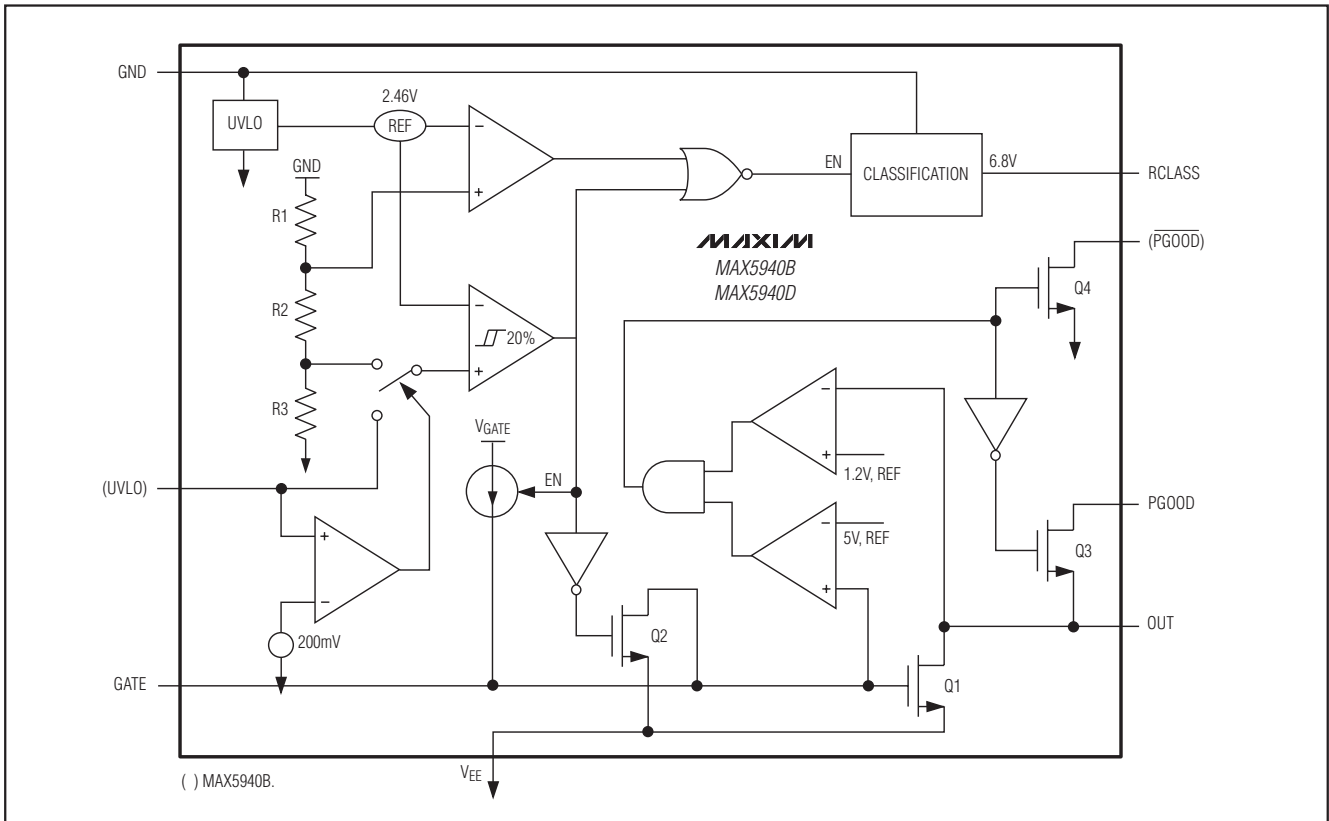


图2. 原理框图

为调节UVLO门限(仅限MAX5940B/MAX5940D)，需要在GND和UVLO、UVLO和 V_{EE} 之间接外部电阻。可采用以下公式计算R1、R2，设置所期望的UVLO门限：

$$R2 = 25.5k\Omega \times \frac{V_{REF,UVLO}}{V_{IN,EX}}$$

$$R1 = 25.5k\Omega - R2$$

式中 $V_{IN,EX}$ 是所期望的UVLO门限。由于电阻分压器取代了25.5k Ω 的PD检测电阻，需确保R1与R2的阻值之和等于25.5k $\Omega \pm 1\%$ 。当使用外部电阻分压器时，MAX5940B/MAX5940D提供20% (典型值)的外部基准电压滞回。当UVLO由外部设置时，关断门限为新的UVLO门限的80% (典型值)。

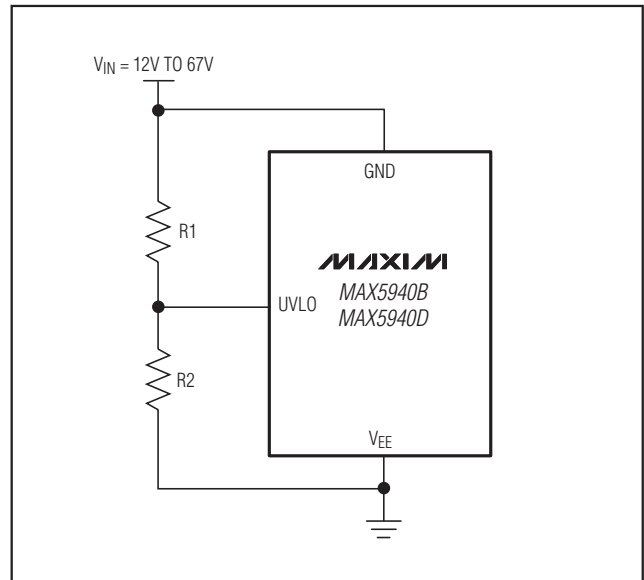


图3. 利用外部分压电阻设置欠压锁定门限

IEEE 802.3af PD接口控制器， 用于以太网供电

浪涌电流限制

MAX5940_ 利用一个恒流源(典型值为10 μ A)对内部MOSFET栅极充电。MOSFET的漏-栅电容限制漏极电压的上升速率，因而限制了浪涌电流。在GATE和OUT之间添加外部电容可以进一步降低浪涌电流。采用下式计算浪涌电流：

$$I_{INRUSH} = I_G \times \frac{C_{OUT}}{C_{GATE}}$$

PGOOD/PGOOD输出

(仅限MAX5940A/MAX5940C)

PGOOD是漏极开路、高电平有效逻辑输出。当V_{OUT}在V_{EE}的1.2V以内、GATE比V_{EE}高出5V时，PGOOD变为高阻态。否则，PGOOD被拉至V_{OUT}(此时V_{OUT}至少比GND低5V)。将PGOOD与下行DC-DC变换器的ON引脚相连。如果需要，可在PGOOD与GND之间接一个100k Ω 的上拉电阻。

(仅限MAX5940B/MAX5940D)

PGOOD是漏极开路、低电平有效逻辑输出。当V_{OUT}在V_{EE}的1.2V以内、GATE比V_{EE}高出5V时，PGOOD被拉至V_{EE}。否则，PGOOD变为高阻态。将PGOOD与下行DC-DC变换器的ON引脚相连。如果需要，可在PGOOD与GND之间接一个100k Ω 的上拉电阻。

热耗

在分级模式下，如果PSE提供最大的直流电压，则从GND至V_{RCLASS}的最大压降为13V。当42mA的最大分级电流流过MAX5940_时，最大直流功耗为546mW，略高于IC在最高工作温度时的额定直流功耗。然而，根据IEEE 802.3af标准，分级模式的持续时间限制为75ms(最大值)，所以，MAX5940_能够在最大持续时间内处理最大的分级功耗，不会造成任何内部损坏。如果PSE不符合IEEE 802.3af标准，即最长分级时间高于75ms，则有可能导致IC内部损坏。

IEEE 802.3af PD接口控制器， 用于以太网供电

典型应用电路

应用电路1

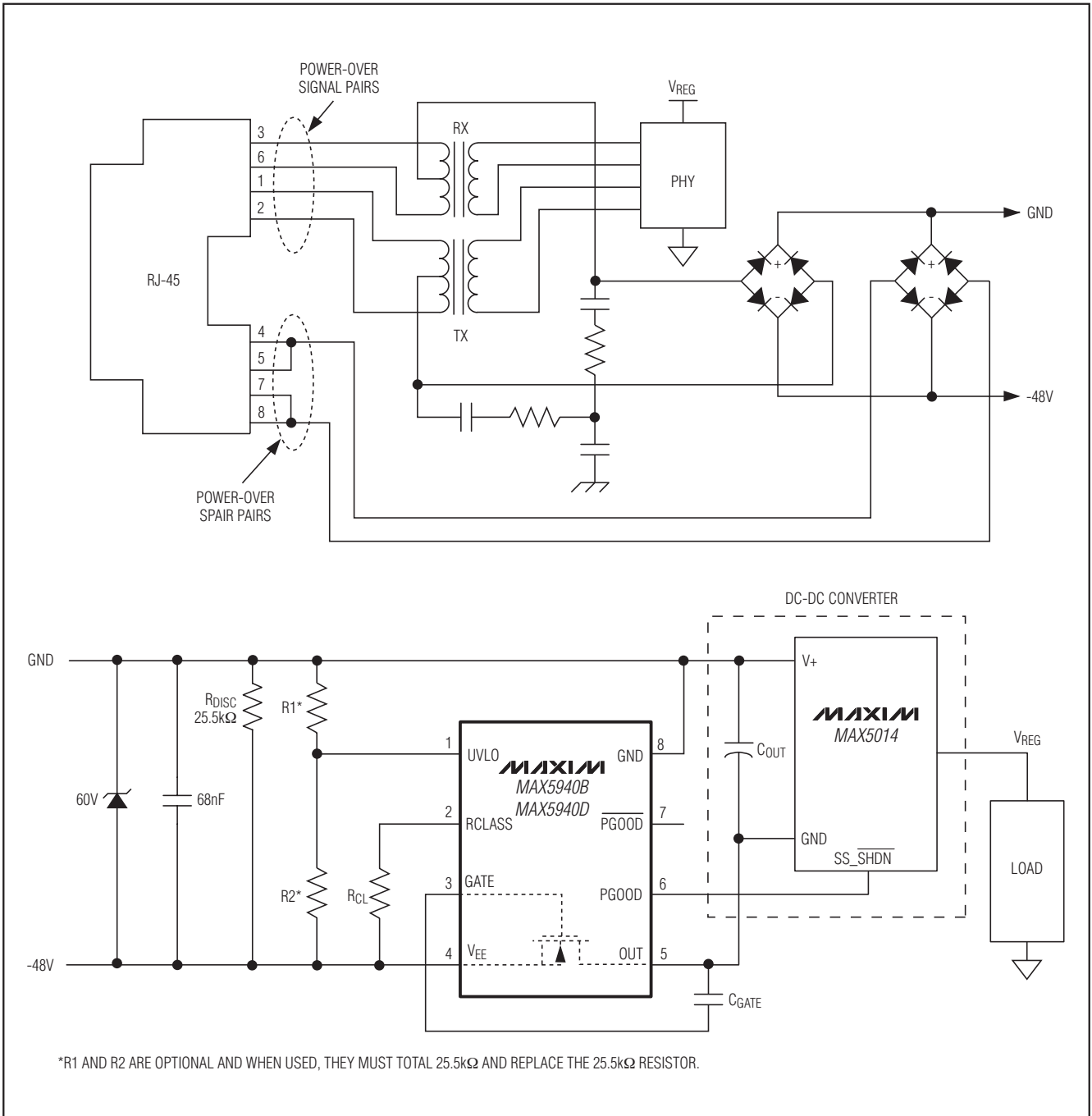


图4. 以太网供电PD (电源由信号线或空闲的双绞线提供)

IEEE 802.3af PD接口控制器， 用于以太网供电

典型应用电路(续)

应用电路2

二极管D1可以避免以太网供电系统反向驱动墙上适配器。只要墙上适配器电压大于(V_{D3} + 大约2V)，GATE下拉至

低电平，切断以太网供电。R3提供GATE电流通路。墙上适配器电源会干扰标记电路的发现，阻止PSE检测这个PD。

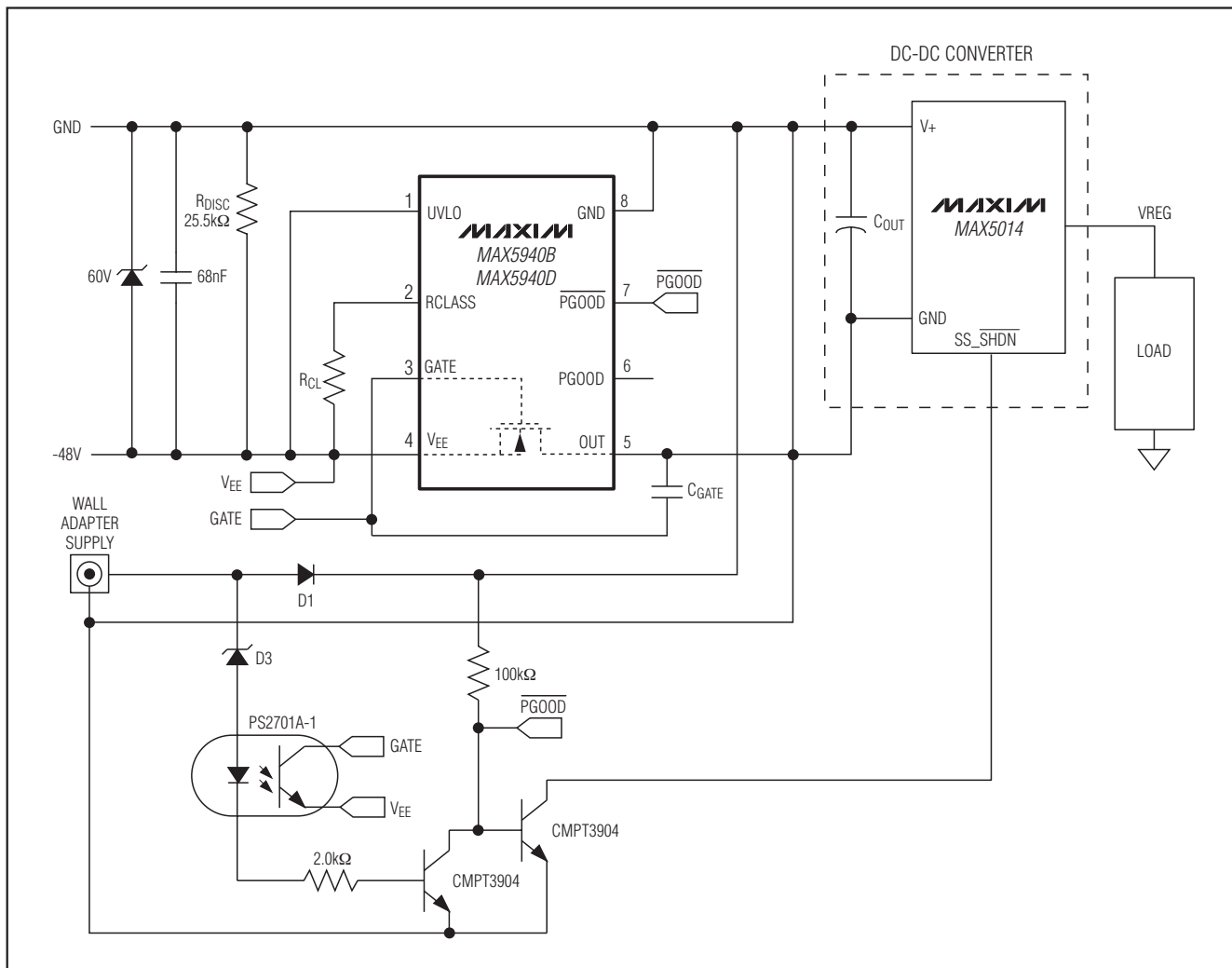


图5. 增加墙上适配器电源输入(墙上适配器电源优先于以太网供电电源)

MAX5940A/MAX5940B/MAX5940C/MAX5940D

IEEE 802.3af PD接口控制器， 用于以太网供电

典型应用电路(续)

应用电路3

D2可以防止墙上适配器电源对发现标记电路和分级标记

电路的干扰。可选择R4提供10mA的最小电源保持标记，保证以太网供电不会中断。

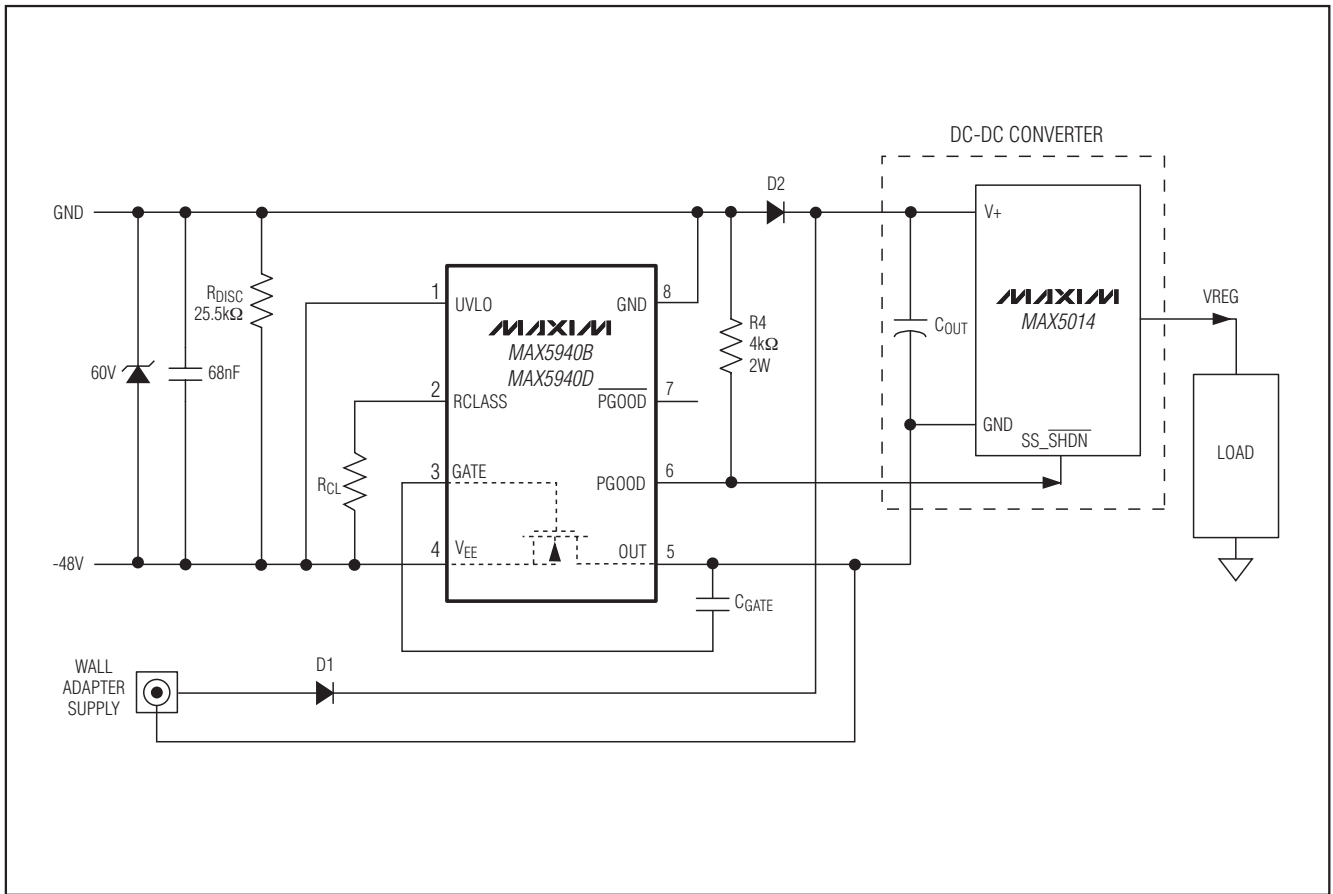


图6. 增加墙上适配器电源输入(墙上适配器电源与以太网供电并存，由电压较高的电源为负载供电)

IEEE 802.3af PD接口控制器， 用于以太网供电

典型应用电路(续)

应用电路4

如果首先接通墙上适配器电源，它将为负载供电，并且干扰

发现和分级标记电路。如果首先建立以太网供电，它将为负载供电，直到墙上适配器电源提供更高的输出电压为止。

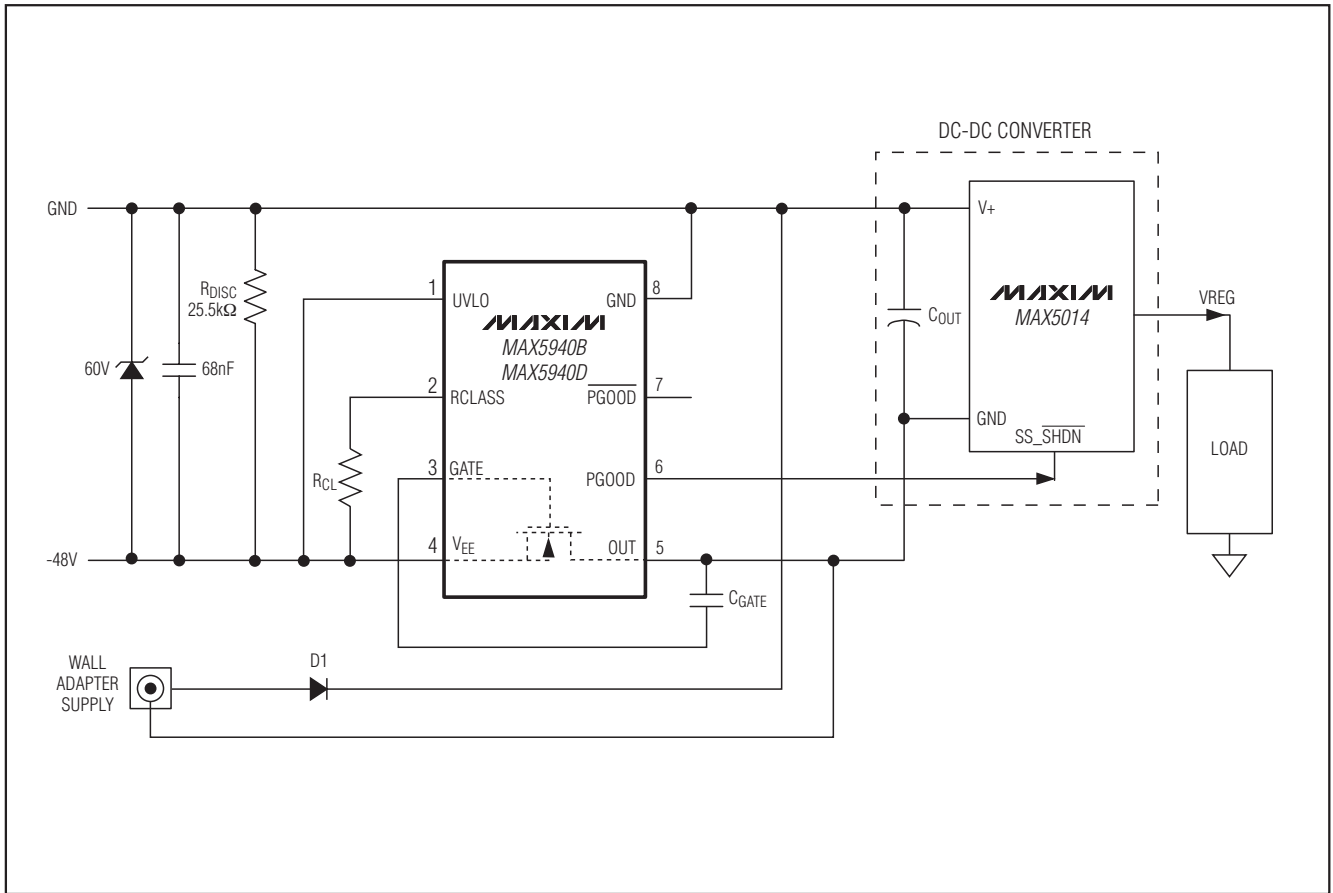
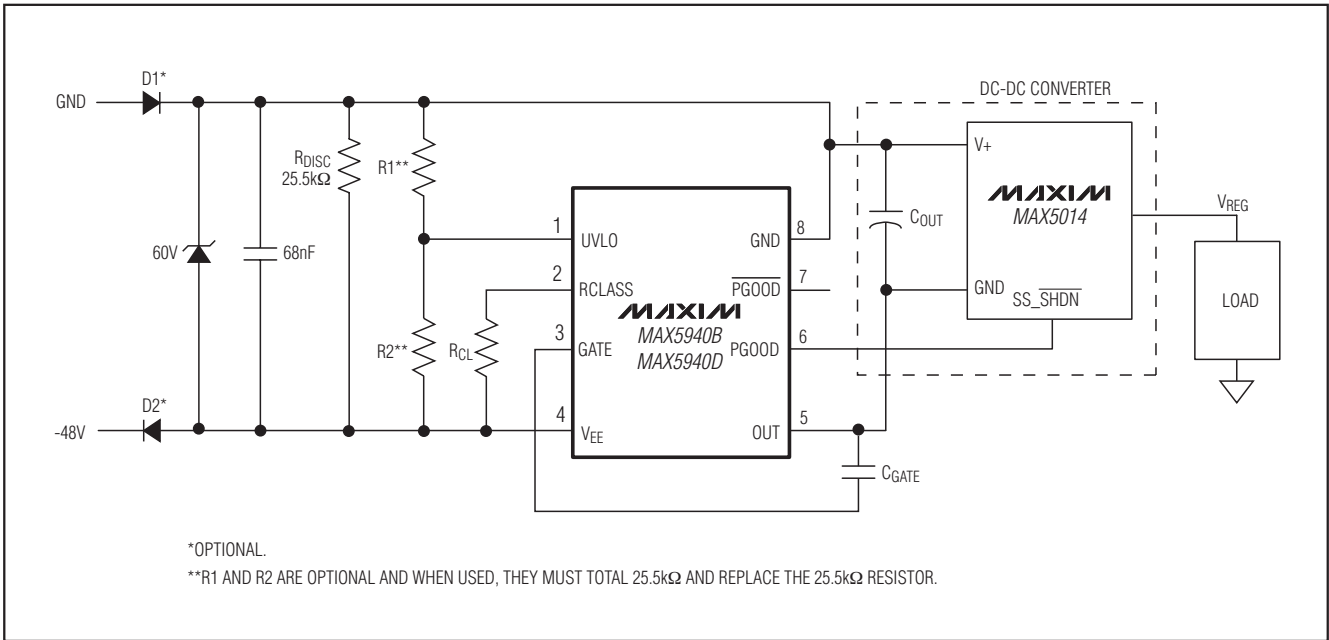


图7. 增加墙上适配器电源输入(电压较高的电源为负载供电)

MAX5940A/MAX5940B/MAX5940C/MAX5940D

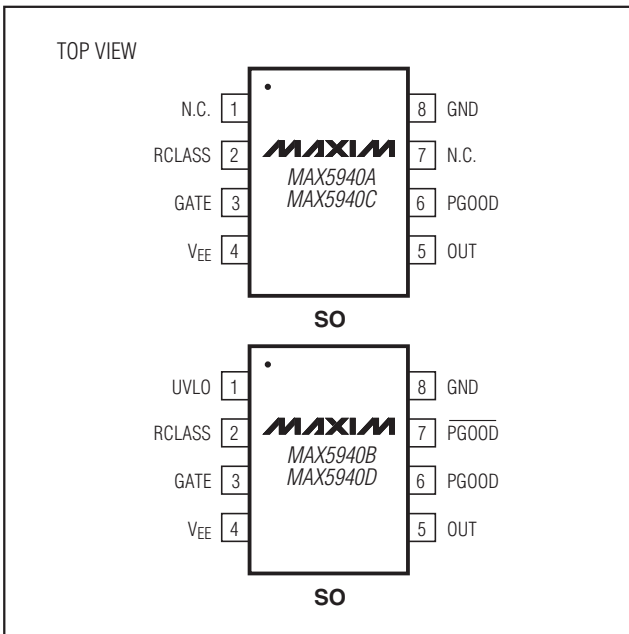
IEEE 802.3af PD接口控制器， 用于以太网供电

典型工作电路(续)



引脚配置

芯片信息



TRANSISTOR COUNT: 3,643
PROCESS: BiCMOS

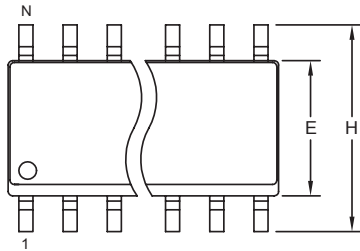
IEEE 802.3af PD接口控制器， 用于以太网供电

封装信息

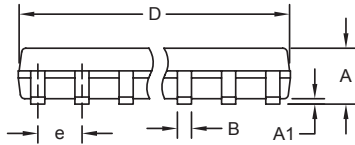
(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)

MAX5940A/MAX5940B/MAX5940C/MAX5940D

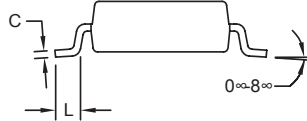
SOICN .EPS



TOP VIEW



FRONT VIEW



SIDE VIEW

NOTES:

1. D&E DO NOT INCLUDE MOLD FLASH.
2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED 0.15mm (.006").
3. LEADS TO BE COPLANAR WITHIN 0.10mm (.004").
4. CONTROLLING DIMENSION: MILLIMETERS.
5. MEETS JEDEC MS012.
6. N = NUMBER OF PINS.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.069	1.35	1.75
A1	0.004	0.010	0.10	0.25
B	0.014	0.019	0.35	0.49
C	0.007	0.010	0.19	0.25
e	0.050 BSC		1.27 BSC	
E	0.150	0.157	3.80	4.00
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27

VARIATIONS:

DIM	INCHES		MILLIMETERS		N	MS012
	MIN	MAX	MIN	MAX		
D	0.189	0.197	4.80	5.00	8	AA
D	0.337	0.344	8.55	8.75	14	AB
D	0.386	0.394	9.80	10.00	16	AC

PROPRIETARY INFORMATION TITLE: PACKAGE OUTLINE, .150" SOIC	
APPROVAL	DOCUMENT CONTROL NO. 21-0041
REV. B	1/1

MAXIM北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 _____ 15