



# 125V/2A、高速、 半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

## 概述

MAX5062/MAX5063/MAX5064 高频、125V 半桥、n 沟道 MOSFET 驱动器可在高压应用中用于驱动高边和低边 MOSFET。各驱动器可以独立控制，并且输入至输出典型的 35ns 传输延迟被匹配在 3ns (典型值) 之内。高电压工作时，驱动器之间相匹配的非常小的传输延迟，高源出/吸收电流能力，以及增强散热型封装等特性使这些器件非常适合于大功率、高频电信电源转换器。最大 125V 的输入电压范围超出了电信标准所规定的 100V 输入瞬态要求，并留出足够的裕量。芯片在  $V_{DD}$  与 BST 之间集成了高度可靠的片上自举二极管，省去了分离的外部二极管。

MAX5062A/C 与 MAX5063A/C 具有两个同相驱动器 (参见选型指南)。MAX5062B/D 与 MAX5063B/D 具有一路同相高边驱动器和一路反相低边驱动器。MAX5064A/B 的每个驱动器有两种输入，既可作为反相，也可作为同相应用。MAX5062A/B/C/D 与 MAX5064A 为 CMOS ( $V_{DD} / 2$ ) 逻辑输入。MAX5063A/B/C/D 与 MAX5064B 为 TTL 逻辑输入。MAX5064A/B 包括一个可调节的先开后合逻辑输入，可以在 16ns 至 95ns 之间设置两个驱动器之间的死区时间。这些驱动器可提供工业标准的 8 引脚 SO 封装和引脚配置，增强散热的 8 引脚 SO 和 12 引脚 (4mm x 4mm) 薄型 QFN 封装。所有器件工作于 -40°C 至 +125°C 的汽车级温度范围。

## 应用

电信半桥电源  
双开关正激变换器  
全桥转换器  
有源钳位正激变换器  
电源模块  
电机控制

## 特性

- ◆ 引脚兼容于 HIP2100/HIP2101 (MAX5062A/MAX5063A)
- ◆ 输入工作电压高至 125V
- ◆ 8V 至 12.6V 的  $V_{DD}$  输入电压范围
- ◆ 2A 峰值源出和吸收驱动能力
- ◆ 35ns 典型传输延迟
- ◆ 驱动器间传输延迟保证匹配在 8ns 内
- ◆ 可设置的先开后合时序 (MAX5064)
- ◆ 驱动 100nC 栅极电荷时，组合开关频率高至 1MHz (MAX5064)
- ◆ 有滞回的 CMOS ( $V_{DD} / 2$ ) 或 TTL 逻辑电平输入
- ◆ 高至 15V 的逻辑输入与输入电压无关
- ◆ 仅有 2.5pF 输入电容
- ◆ 在出现故障或者 PWM 启-停同步时，驱动器立即关断 (MAX5064)
- ◆ 低至 200 $\mu$ A 的电源电流
- ◆ 提供多种同相和反相驱动器组合 (MAX5062B/D 与 MAX5063B/D)
- ◆ 备有 8 引脚 SO、增强散热型 SO 以及 12 引脚薄型 QFN 封装

## 订购信息

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX5062AASA	-40°C to +125°C	8 SO	—	S8-5
MAX5062BASA	-40°C to +125°C	8 SO	—	S8-5
MAX5062CASA	-40°C to +125°C	8 SO-EP*	—	S8E-14
MAX5062DASA	-40°C to +125°C	8 SO-EP*	—	S8E-14

\*EP = 裸焊盘。

器件提供含铅和无铅两种封装。

订购无铅封装时须用“+T”替代“-T”。

订购信息(续)在数据资料的最后给出。

## 选型指南

PART	HIGH-SIDE DRIVER	LOW-SIDE DRIVER	LOGIC LEVELS	PIN COMPATIBLE
MAX5062AASA	Noninverting	Noninverting	CMOS ( $V_{DD} / 2$ )	HIP 2100IB
MAX5062BASA	Noninverting	Inverting	CMOS ( $V_{DD} / 2$ )	—
MAX5062CASA	Noninverting	Noninverting	CMOS ( $V_{DD} / 2$ )	—
MAX5062DASA	Noninverting	Inverting	CMOS ( $V_{DD} / 2$ )	—

选型指南(续)在数据资料的最后给出。



# 125V/2A、高速、 半桥MOSFET驱动器

## ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND, unless otherwise noted.)

V <sub>DD</sub> , IN <sub>H</sub> , IN <sub>L</sub> , IN <sub>L+</sub> , IN <sub>L-</sub> , IN <sub>H+</sub> , IN <sub>H-</sub>	-0.3V to +15V
DL, BBM	-0.3V to (V <sub>DD</sub> + 0.3V)
HS	-5V to +130V
DH to HS	-0.3V to (V <sub>DD</sub> + 0.3V)
BST to HS	-0.3V to +15V
AGND to PGND (MAX5064)	-0.3V to +0.3V
dV/dt at HS	50V/ns
Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
8-Pin SO (derate 5.9mW/°C above +70°C)	470.6mW

8-Pin SO with Exposed Pad (derate 19.2mW/°C above +70°C)*	1538.5mW
12-Pin Thin QFN (derate 24.4mW/°C above +70°C)*	1951.2mW
Maximum Junction Temperature	+150°C
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C

\*Per JEDEC 51 standard multilayer board.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = V<sub>BST</sub> = +8V to +12.6V, V<sub>HS</sub> = GND = 0V, BBM = open, T<sub>A</sub> = -40°C to +125°C, unless otherwise noted. Typical values are at V<sub>DD</sub> = V<sub>BST</sub> = +12V and T<sub>A</sub> = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER SUPPLIES</b>						
Operating Supply Voltage	V <sub>DD</sub>	(Note 2)	8.0		12.6	V
V <sub>DD</sub> Quiescent Supply Current	I <sub>DD</sub>	IN <sub>H</sub> = IN <sub>L</sub> = GND (no switching)	MAX5062_/ MAX5063_	70	140	μA
			MAX5064_	120	260	
V <sub>DD</sub> Operating Supply Current	I <sub>DDO</sub>	f <sub>sw</sub> = 500kHz, V <sub>DD</sub> = +12V			3	mA
BST Quiescent Supply Current	I <sub>BST</sub>	IN <sub>H</sub> = IN <sub>L</sub> = GND (no switching)		15	40	μA
BST Operating Supply Current	I <sub>BSTO</sub>	f <sub>sw</sub> = 500kHz, V <sub>DD</sub> = V <sub>BST</sub> = +12V			3	mA
UVLO (V <sub>DD</sub> to GND)	UVLO <sub>VDD</sub>	V <sub>DD</sub> rising	6.5	7.3	8.0	V
UVLO (BST to HS)	UVLO <sub>BST</sub>	BST rising	6.0	6.9	7.8	V
UVLO Hysteresis				0.5		V
<b>LOGIC INPUT</b>						
Input-Logic High	V <sub>IH</sub>	MAX5062_/MAX5064A, CMOS (V <sub>DD</sub> / 2) version	0.67 x V <sub>DD</sub>	0.55 x V <sub>DD</sub>		V
		MAX5063_/MAX5064B, TTL version	2	1.65		
Input-Logic Low	V <sub>IL</sub>	MAX5062_/MAX5064A, CMOS (V <sub>DD</sub> / 2) version		0.4 x V <sub>DD</sub>	0.33 x V <sub>DD</sub>	V
		MAX5063_/MAX5064B, TTL version		1.4	0.8	
Logic-Input Hysteresis	V <sub>HYS</sub>	MAX5062_/MAX5064A, CMOS (V <sub>DD</sub> / 2) version		1.6		V
		MAX5063_/MAX5064B, TTL version		0.25		

# 125V/2A、高速、 半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = V_{BST} = +8V$  to  $+12.6V$ ,  $V_{HS} = GND = 0V$ ,  $BBM = open$ ,  $T_A = -40^{\circ}C$  to  $+125^{\circ}C$ , unless otherwise noted. Typical values are at  $V_{DD} = V_{BST} = +12V$  and  $T_A = +25^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Logic-Input Current	$I_{IN}$	$V_{IN\_H+}, V_{IN\_L+} = 0V$	-1	0.001	+1	$\mu A$
		$V_{IN\_L} = V_{DD}$ for MAX5062B/D, MAX5063B/D				
		$V_{IN\_H+}, V_{IN\_L-}, V_{IN\_H} = V_{DD}$				
		$V_{IN\_L} = 0V$ for MAX5062A/C, MAX5063A/C				
Input Resistance	$R_{IN}$	$IN\_H+, IN\_L+ IN\_H, to GND$		1		$M\Omega$
		$IN\_L to V_{DD}$ for MAX5062B/D, MAX5063B/D				
		$IN\_H-, IN\_L-, IN\_H, to V_{DD}$				
		$IN\_L$ for MAX5062A/C, MAX5063A/C to GND				
Input Capacitance	$C_{IN}$		2.5			$pF$
<b>HIGH-SIDE GATE DRIVER</b>						
HS Maximum Voltage	$V_{HS\_MAX}$		125			V
BST Maximum Voltage	$V_{BST\_MAX}$		140			V
Driver Output Resistance (Sourcing)	$R_{ON\_HP}$	$V_{DD} = 12V, I_{DH} = 100mA$ (sourcing)	$T_A = +25^{\circ}C$	2.5	3.3	$\Omega$
			$T_A = +125^{\circ}C$	3.5	4.6	
Driver Output Resistance (Sinking)	$R_{ON\_HN}$	$V_{DD} = 12V, I_{DH} = 100mA$ (sinking)	$T_A = +25^{\circ}C$	2.1	2.8	$\Omega$
			$T_A = +125^{\circ}C$	3.2	4.2	
DH Reverse Current (Latchup Protection)		(Note 3)	400			mA
Power-Off Pulldown Clamp Voltage		$V_{BST} = 0V$ or floating, $I_{DH} = 1mA$ (sinking)		0.94	1.16	V
Peak Output Current (Sourcing)	$I_{DH\_PEAK}$	$C_L = 10nF, V_{DH} = 0V$		2		A
Peak Output Current (Sinking)		$C_L = 10nF, V_{DH} = 12V$		2		A
<b>LOW-SIDE GATE DRIVER</b>						
Driver Output Resistance (Sourcing)	$R_{ON\_LP}$	$V_{DD} = 12V, I_{DL} = 100mA$ (sourcing)	$T_A = +25^{\circ}C$	2.5	3.3	$\Omega$
			$T_A = +125^{\circ}C$	3.5	4.6	
Driver Output Resistance (Sinking)	$R_{ON\_LN}$	$V_{DD} = 12V, I_{DL} = 100mA$ (sinking)	$T_A = +25^{\circ}C$	2.1	2.8	$\Omega$
			$T_A = +125^{\circ}C$	3.2	4.2	
Reverse Current at DL (Latchup Protection)		(Note 3)	400			mA
Power-Off Pulldown Clamp Voltage		$V_{DD} = 0V$ or floating, $I_{DL} = 1mA$ (sinking)		0.95	1.16	V
Peak Output Current (Sourcing)	$I_{PK\_LP}$	$C_L = 10nF, V_{DL} = 0V$		2		A
Peak Output Current (Sinking)	$I_{PK\_LN}$	$C_L = 10nF, V_{DL} = 12V$		2		A
<b>INTERNAL BOOTSTRAP DIODE</b>						
Forward Voltage Drop	$V_f$	$I_{BST} = 100mA$		0.91	1.11	V
Turn-On and Turn-Off Time	$t_R$	$I_{BST} = 100mA$		40		ns

# 125V/2A、高速、 半桥MOSFET驱动器

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = V_{BST} = +8V$  to  $+12.6V$ ,  $V_{HS} = GND = 0V$ ,  $BBM = open$ ,  $T_A = -40^{\circ}C$  to  $+125^{\circ}C$ , unless otherwise noted. Typical values are at  $V_{DD} = V_{BST} = +12V$  and  $T_A = +25^{\circ}C$ .) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>SWITCHING CHARACTERISTICS FOR HIGH- AND LOW-SIDE DRIVERS (<math>V_{DD} = V_{BST} = +12V</math>)</b>						
Rise Time	$t_R$	$C_L = 1000pF$		7		ns
		$C_L = 5000pF$		33		
		$C_L = 10,000pF$		65		
Fall Time	$t_F$	$C_L = 1000pF$		7		ns
		$C_L = 5000pF$		33		
		$C_L = 10,000pF$		65		
Turn-On Propagation Delay Time	$t_{D\_ON}$	Figure 1, $C_L = 1000pF$ (Note 3)	CMOS	30	55	ns
			TTL	35	63	
Turn-Off Propagation Delay Time	$t_{D\_OFF}$	Figure 1, $C_L = 1000pF$ (Note 3)	CMOS	30	55	ns
			TTL	35	63	
Delay Matching Between Inverting Input to Output and Noninverting Input to Output	$t_{MATCH1}$	$C_L = 1000pF$ , $BBM$ open for MAX5064, Figure 1 (Note 3)		2	8	ns
Delay Matching Between Driver-Low and Driver-High	$t_{MATCH2}$	$C_L = 1000pF$ , $BBM$ open for MAX5064, Figure 1 (Note 3)		2	8	ns
Break-Before-Make Accuracy (MAX5064 Only)		$R_{BBM} = 10k\Omega$		16		ns
		$R_{BBM} = 47k\Omega$ (Notes 3, 4)	40	56	72	
		$R_{BBM} = 100k\Omega$		95		
Internal Nonoverlap				1		ns
Minimum Pulse-Width Input Logic (High or Low) (Note 5)	$t_{PW-MIN}$	$V_{DD} = V_{BST} = 12V$		135		ns
		$V_{DD} = V_{BST} = 8V$		170		

**Note 1:** All devices are 100% tested at  $T_A = +125^{\circ}C$ . Limits over temperature are guaranteed by design.

**Note 2:** Ensure that the  $V_{DD}$ -to-GND or  $BST$ -to-HS voltage does not exceed 13.2V.

**Note 3:** Guaranteed by design, not production tested.

**Note 4:** Break-before-make time is calculated by  $t_{BBM} = 8ns \times (1 + R_{BBM} / 10k\Omega)$ .

**Note 5:** See the *Minimum Pulse Width* section.

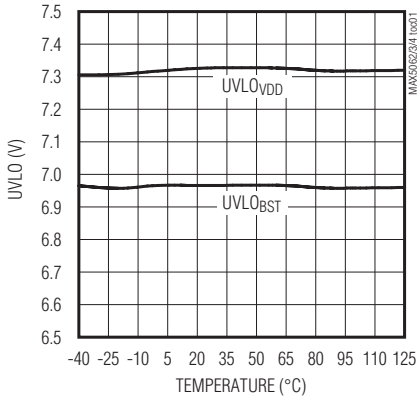
# 125V/2A、高速、半桥MOSFET驱动器

典型工作特性

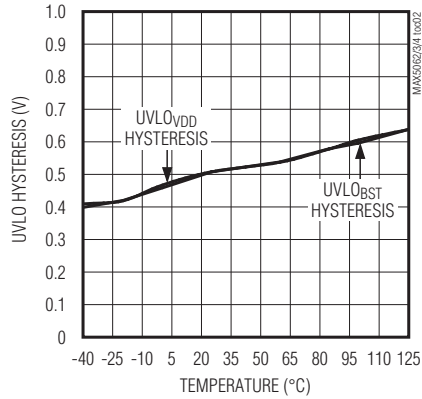
(Typical values are at  $V_{DD} = V_{BST} = +12V$  and  $T_A = +25^\circ C$ , unless otherwise specified.)

MAX5062/MAX5063/MAX5064

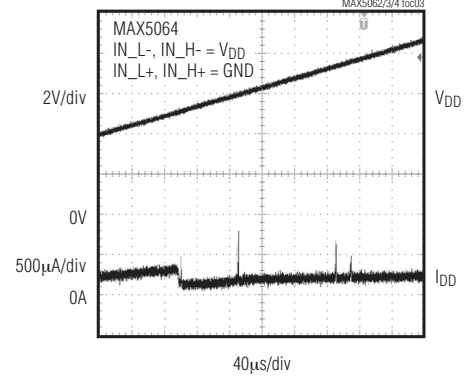
**UNDervOLTAGE LOCKOUT (V<sub>DD</sub> AND V<sub>BST</sub> RISING) vs. TEMPERATURE**



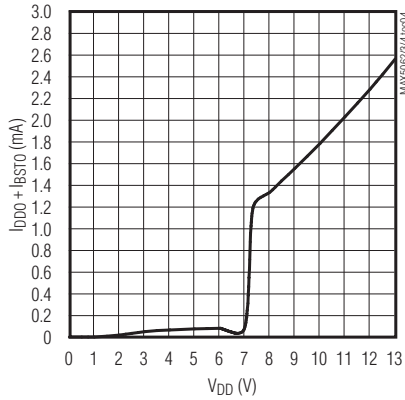
**V<sub>DD</sub> AND V<sub>BST</sub> UNDervOLTAGE LOCKOUT HYSTERESIS vs. TEMPERATURE**



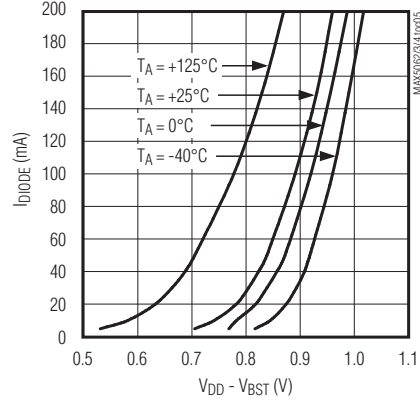
**I<sub>DD</sub> vs. V<sub>DD</sub>**



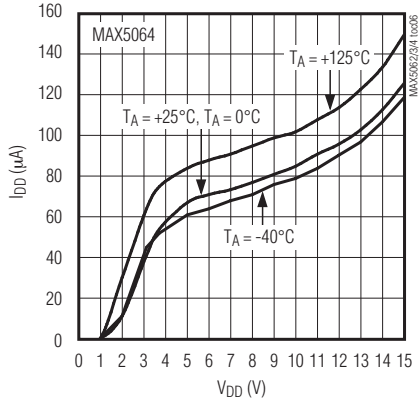
**I<sub>DD</sub> + I<sub>BSTO</sub> vs. V<sub>DD</sub> (f<sub>sw</sub> = 250kHz)**



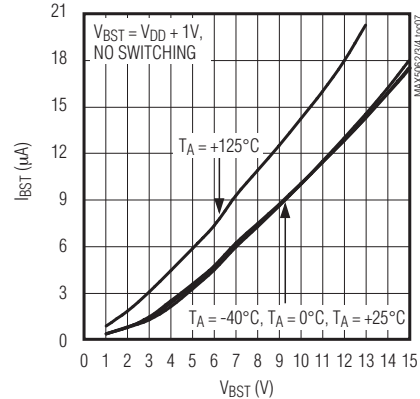
**INTERNAL BST DIODE (I-V) CHARACTERISTICS**



**V<sub>DD</sub> QUIESCENT CURRENT vs. V<sub>DD</sub> (NO SWITCHING)**



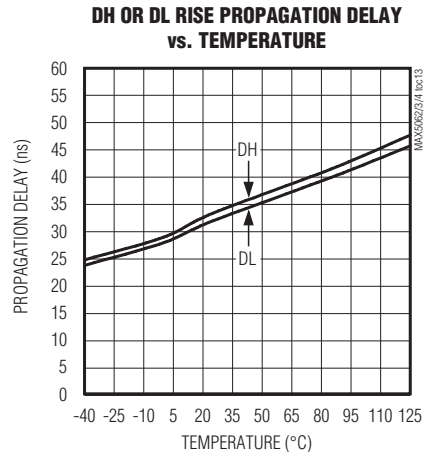
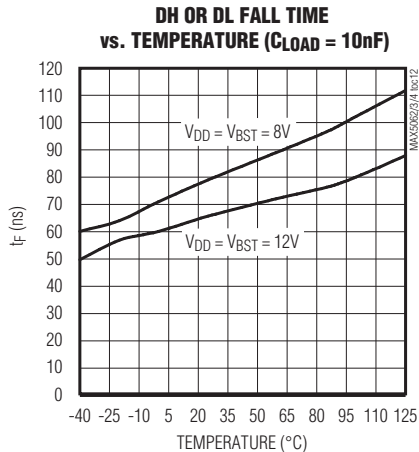
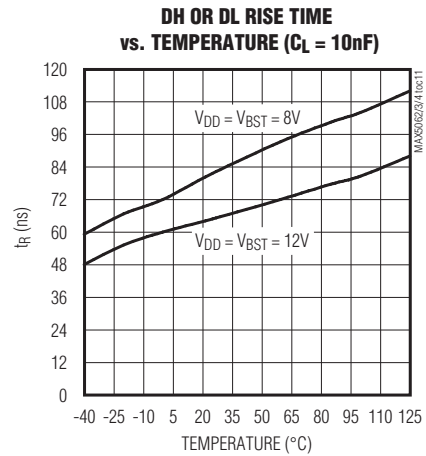
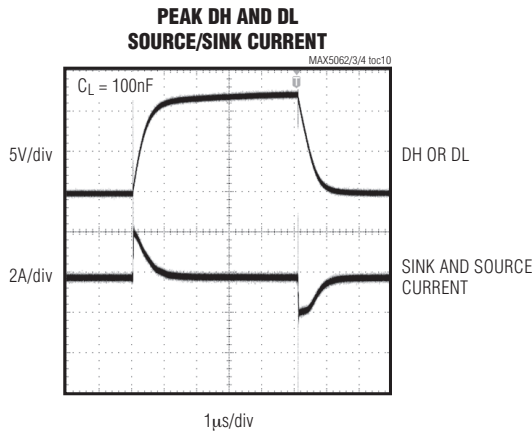
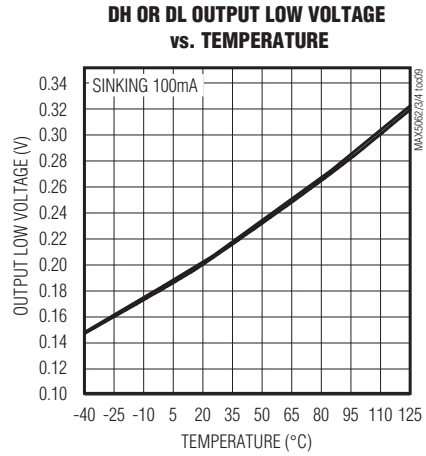
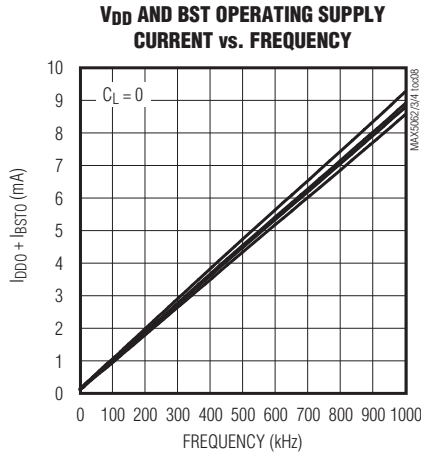
**BST QUIESCENT CURRENT vs. BST VOLTAGE**



# 125V/2A、高速、 半桥MOSFET驱动器

典型工作特性(续)

(Typical values are at  $V_{DD} = V_{BST} = +12V$  and  $T_A = +25^\circ C$ , unless otherwise specified.)

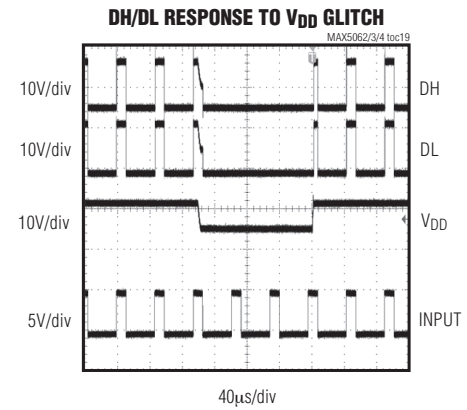
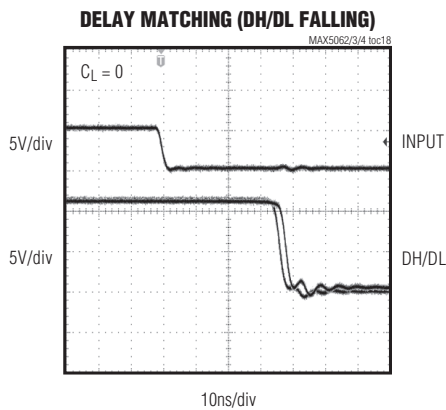
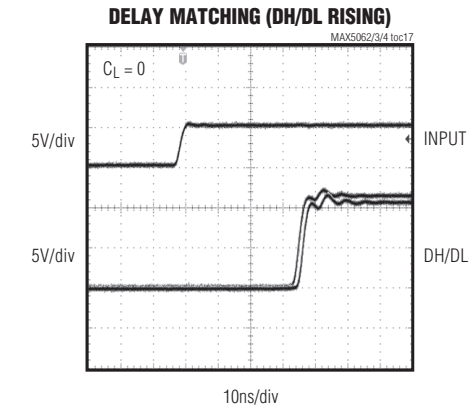
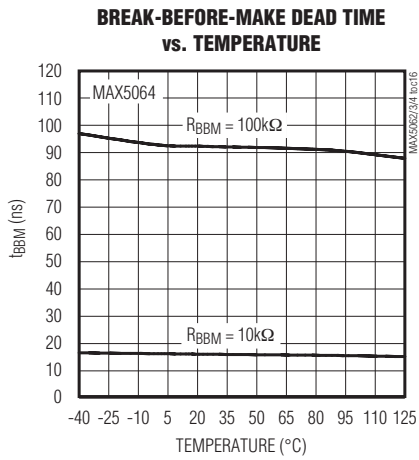
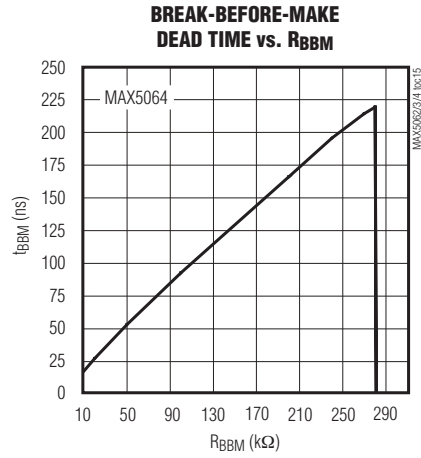
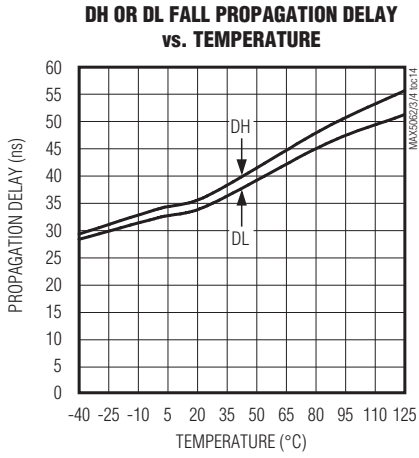


# 125V/2A、高速、半桥MOSFET驱动器

典型工作特性(续)

(Typical values are at  $V_{DD} = V_{BST} = +12V$  and  $T_A = +25^\circ C$ , unless otherwise specified.)

MAX5062/MAX5063/MAX5064



# 125V/2A、高速、 半桥MOSFET驱动器

## MAX5062/MAX5063 引脚说明

引脚	名称	功能
1	V <sub>DD</sub>	电源输入。用0.1μF和1μF陶瓷电容并联后旁路至GND。
2	BST	自举浮动电容连接点。在BST与HS之间连接0.1μF陶瓷电容，用于为高边MOSFET驱动器供电。
3	DH	高边栅极驱动器输出。驱动高边MOSFET栅极。
4	HS	高边MOSFET源极连接点。也是高边驱动器的返回端。
5	IN_H	高边同相逻辑输入。
6	IN_L	低边同相逻辑输入(MAX5062A/C, MAX5063A/C)。低边反相逻辑输入(MAX5062B/D, MAX5063B/D)。
7	GND	地。GND也是DL驱动器输出和IN_H/IN_L输入的返回通路。
8	DL	低边栅极驱动输出。驱动低边MOSFET栅极。
—	EP	裸焊盘。内部连接至GND。在外部将裸焊盘连接至大面积接地层以协助散热(仅对MAX5062C/D, MAX5063C/D)。

## MAX5064 引脚说明

引脚	名称	功能
1	BST	自举浮动电容连接点。在BST与HS之间连接0.1μF陶瓷电容，用于为高边MOSFET驱动器供电。
2	DH	高边栅极驱动器输出。驱动高边MOSFET栅极。
3	HS	高边MOSFET源极连接点。也是高边驱动器的返回端。
4	AGND	模拟地。低开关电流信号的返回通路。IN_H/IN_L输入的参考端。
5	BBM	先开后合设置电阻连接点。在BBM与AGND间连接10kΩ至100kΩ电阻，设定先开后合时间(t <sub>BBM</sub> )为16ns至95ns。电阻大于200kΩ时禁止BBM功能，并使t <sub>BBM</sub> = 1ns。用至少1nF的电容旁路该引脚至AGND。
6	IN_H-	高边反相CMOS (V <sub>DD</sub> / 2) (MAX5064A)或TTL (MAX5064B)逻辑输入。不用时连接至AGND。
7	IN_H+	高边同相CMOS (V <sub>DD</sub> / 2) (MAX5064A)或TTL (MAX5064B)逻辑输入。不用时连接至V <sub>DD</sub> 。
8	IN_L-	低边反相CMOS (V <sub>DD</sub> / 2) (MAX5064A)或TTL (MAX5064B)逻辑输入。不用时连接至AGND。
9	IN_L+	低边同相CMOS (V <sub>DD</sub> / 2) (MAX5064A)或TTL (MAX5064B)逻辑输入。不用时连接至V <sub>DD</sub> 。
10	PGND	功率地。高开关电流信号的返回通路。使用PGND作为低边驱动器的返回通路。
11	DL	低边栅极驱动器输出。驱动低边MOSFET栅极。
12	V <sub>DD</sub>	电源输入。用0.1μF和1μF陶瓷电容并联后旁路至PGND。
—	EP	裸焊盘。内部连接至AGND。在外部连接至大面积接地层以协助散热。



# 125V/2A、高速、半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

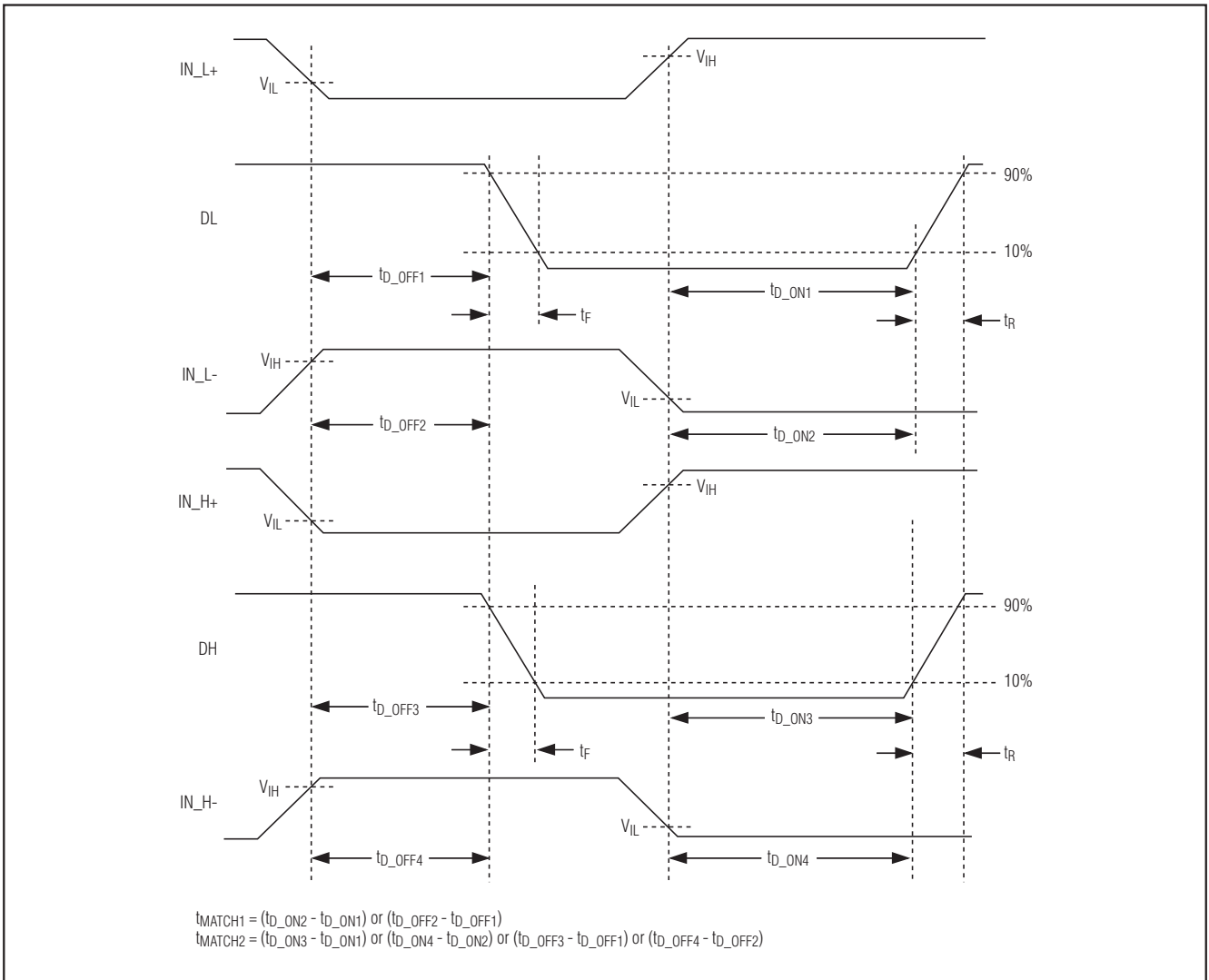


图1. 同相与反相逻辑输入的定时特性

## 详细说明

MAX5062/MAX5063/MAX5064 为 125V/2A 高速、半桥 MOSFET 驱动器，工作于 +8V 至 +12.6V 供电电压下。这些驱动器设计用来在无需任何隔离器件(例如光耦或驱动变压器)的条件下驱动高边开关。高边驱动器通过以地为参考的 TTL/CMOS 逻辑信号来控制。利用低 R<sub>DS\_ON</sub> 的 p 沟道与 n 沟道驱动器输出级，提供 2A 的源出和吸收驱动能力。采用 BiCMOS 工艺实现了极快的上升/下降时间和低传输

延迟。逻辑输入信号至驱动输出的典型传输延迟为 35ns，并且传输延迟匹配度典型可达 3ns。传输延迟的匹配度与其绝对值具有同等重要的意义。高达 125V 的电压输入范围相对于电信标准规定的 100V 瞬态指标绰绰有余。

MAX5064 提供增强散热的 TQFN 封装，耗散功率高达 1.95W (+70°C 时)，驱动总栅极电荷 100nC 的 MOSFET 时允许高达 1MHz 的开关频率。

# 125V/2A、高速、 半桥MOSFET驱动器

## 欠压锁定

高边与低边驱动器均具有欠压锁定功能(UVLO)。低边驱动器的UVLO<sub>LOW</sub>门限以GND为参考,当V<sub>DD</sub>下降至6.8V以下时,同时拉低两路驱动器输出。高边驱动器有自己的欠压锁定门限(UVLO<sub>HIGH</sub>),以HS为参考,当BST相对于HS下降到低于6.4V时拉低DH。

启动期间,一旦V<sub>DD</sub>升高至UVLO门限以上,DL就开始开关动作并跟随IN<sub>L</sub>逻辑输入变化。此时,自举电容尚未充电,BST-HS电压低于UVLO<sub>BST</sub>。对于同步buck和半桥转换拓扑,自举电容可在一个周期内充电,并在BST-HS电压超过UVLO<sub>BST</sub>之后的几个微秒内开始正常工作。在双开关正激拓扑中,BST电容需要多一点时间(几百微秒)充电,并使其电压上升到UVLO<sub>BST</sub>以上。

两个UVLO门限具有0.5V的典型滞回。应仔细选择自举电容的容量,以避免DH输出开启和关闭时产生意想不到的振荡。可选择大约20倍于MOSFET总栅极电容的容量。在BST上使用低ESR、X7R电介质的陶瓷电容(一般来讲0.1μF的陶瓷电容就足够了),并在V<sub>DD</sub>至GND(MAX5062<sub>\_</sub>, MAX5063<sub>\_</sub>)或者V<sub>DD</sub>至PGND(MAX5064<sub>\_</sub>)之间连接1μF和0.1μF并联陶瓷电容。由于高边驱动器静态电流所造成的电荷流失,高边MOSFET的连续导通时间受到限制。最大导通时间取决于C<sub>BST</sub>的容量、I<sub>BST</sub>(最大50μA)和UVLO<sub>BST</sub>。

## 输出驱动器

MAX5062/MAX5063/MAX5064的输出级采用了2.5Ω低R<sub>DS\_ON</sub>的p沟道与n沟道器件(图腾柱)。可以高速打开和关闭具有高栅极电荷的开关MOSFET。峰值源出和吸收电流典型为2A。从逻辑输入到驱动器输出的传输延迟被匹配在8ns内。内部p沟道与n沟道MOSFET具有1ns死区时间的先开后合逻辑,以避免它们交叉导通。这种内置的先开后合逻辑消除了穿透电流,降低了工作电源电流和V<sub>DD</sub>上的尖脉冲。DL电压约等于V<sub>DD</sub>和DH-HS电压,当它们为高电平时,DL比V<sub>DD</sub>低一个二极管压降,当它们为低电平时,DL则为0。驱动器在较高的V<sub>DD</sub>下具有更低的R<sub>DS\_ON</sub>。更低的R<sub>DS\_ON</sub>意味着更高的源出和吸收电流及更快的开关速度。

## 内部自举二极管

V<sub>DD</sub>与BST之间内部连接有一个二极管,和外部连接在BST和HS之间的自举电容配合使用。这个二极管在DL低边开关导通时由V<sub>DD</sub>给自举电容充电,而当HS随着高边驱动器的导通被拉高时它又起到隔离V<sub>DD</sub>的作用(参见典型工作电路)。

内部自举二极管具有0.9V的典型正向压降和10ns的典型关断/打开时间。为了降低V<sub>DD</sub>到BST的压降,可在V<sub>DD</sub>与BST之间连接一个外部的肖特基二极管。

## 设置先开后合(MAX5064)

半桥和同步buck拓扑要求高边或低边开关应在另一开关导通之前关闭,以避免穿透电流。当高边和低边开关同时打开时即会产生穿透电流。出现这种情况的原因包括:IN<sub>H</sub>/IN<sub>L</sub>到DH/DL传输延迟的失配,驱动器输出阻抗的差异,以及MOSFET栅极电容的差异。穿透电流会增大功耗和EMI辐射,并且在高输入电压情况下会造成灾难性后果。

MAX5064具有先开后合(BBM)功能,允许调节从输入到每个驱动器的输出延迟。IN<sub>H</sub>和IN<sub>L</sub>上升沿至DH和DL上升沿的传输延迟可分别设定为16ns至95ns。注意,由于BBM单元中比较器的固有延迟,BBM时间(t<sub>BBM</sub>)在较低值时具有较高的百分比误差。在计算t<sub>BBM</sub>总误差时要考虑传输延迟的失配(t<sub>MATCH</sub>)。仅8ns(最大值)的延迟失配降低了总t<sub>BBM</sub>的变化。根据下式计算满足BBM时间需要的R<sub>BBM</sub>和t<sub>BBM\_ERROR</sub>:

$$R_{BBM} = 10k\Omega \times \left( \frac{t_{BBM} - 1}{8ns} \right), R_{BBM} < 200k\Omega$$

$$t_{BBM\_ERROR} = 0.15 \times t_{BBM} + t_{MATCH\_}$$

其中,t<sub>BBM</sub>的单位为纳秒。

BBM上的电压稳定至1.3V。BBM电路根据流过R<sub>BBM</sub>的电流调节t<sub>BBM</sub>。用一个1nF或更小的陶瓷电容(C<sub>BBM</sub>)旁路BBM至AGND,以避免开关期间的地反射影响。刚开启时C<sub>BBM</sub>的充电时间不影响t<sub>BBM</sub>,因为在UVLO清除并启动器件之前BBM电压已经稳定。

# 125V/2A、高速、半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

像双开关正激变换器这样的拓扑要求高、低边开关同时导通和关闭，可以不连接BBM而使BBM功能被禁止掉。被禁止时， $t_{BBM}$ 通常为1ns。

## 驱动器逻辑输入(IN\_H、IN\_L、IN\_H+、IN\_H-、IN\_L+、IN\_L-)

MAX5062\_/MAX5064A为CMOS ( $V_{DD} / 2$ )逻辑输入驱动器，而MAX5063\_/MAX5064B为TTL兼容的逻辑输入。逻辑输入信号与 $V_{DD}$ 无关。例如，该IC可以由10V电源供电，而逻辑输入可由12V CMOS逻辑提供。而且，无论 $V_{DD}$ 电压为多少，逻辑输入都具有高至15V的尖峰电压保护。TTL与CMOS逻辑输入分别具有400mV和1.6V的滞回，以避免转换期间出现双脉冲。逻辑输入为高阻抗引脚，不可浮空。2.5pF的低输入电容减小了负载效应并增加了开关速度。在内部，通过1M $\Omega$ 电阻，同相输入被下拉至GND，反相输入被上拉至 $V_{DD}$ 。在上电时，控制器的PWM输出必须确保具有正确的状态。逻辑输入浮空时， $V_{DD}$ 升高至UVLO门限以上后，DH和DL输出被拉低。

MAX5064\_的每个驱动器有两个逻辑输入，可实现对MOSFET更灵活的控制。IN\_H+/IN\_L+为同相逻辑输入，IN\_H-/IN\_L-为反相逻辑输入。不用时将IN\_H+/IN\_L+连接至 $V_{DD}$ ，IN\_H-/IN\_L-连接至GND。或者，未用的输入也可用于ON/OFF功能。IN\_+可作为低有效，IN\_-可作为高有效关断逻辑。

表 1. MAX5064\_真值表

IN_H+/IN_L+	IN_H-/IN_L-	DH/DL
Low	Low	Low
Low	High	Low
High	Low	High
High	High	Low

## 最小脉宽

MAX5062/MAX5063/MAX5064采用单稳态电平转换架构，以降低延时。一般情况下，电平转换电路在输出端产生的最小(高电平或低电平)脉冲宽度( $t_{DMIN}$ )大于逻辑输入电平的脉冲宽度。对于MAX5062/MAX5063/MAX5064器件，DH的最小高电平脉冲宽度( $t_{DMIN-DH-H}$ )小于DL的最小低电平脉冲宽度( $t_{DMIN-DL-L}$ )，当工作在窄脉冲、较低占空比时，能够在没有外部BBM延时的情况下发生直通(见图2)。

占空比较高(接近100%)时，DH的最小低电平脉冲宽度( $t_{DMIN-DH-L}$ )必须高于DL的最小低电平脉冲宽度( $t_{DMIN-DL-L}$ )，以避免重叠或直通(见图3)。对于MAX5062/MAX5063/MAX5064，如果没有提供外部BBM延时的话，可能存在大约40ns的重叠。建议在INH通道增加外部延时，从而使INH端的最小低电平脉冲宽度始终大于 $t_{PW-MIN}$ 。 $t_{PW-MIN}$ 的典型值见*Electrical Characteristics*表。

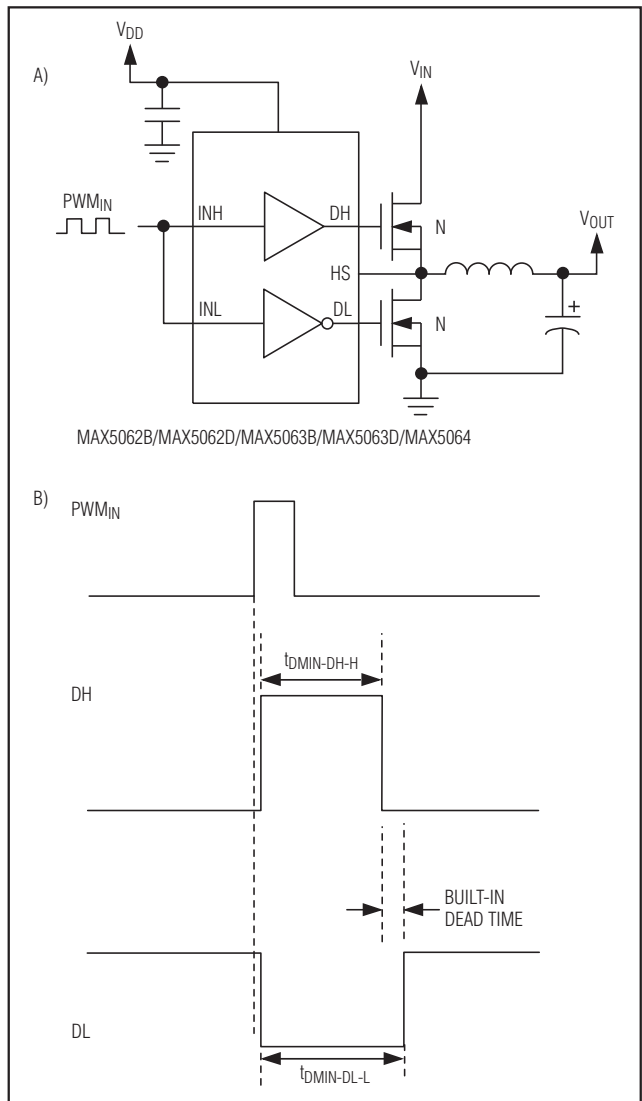


图2. 低占空比输入时，最小脉冲宽度的表现(导通时间 <  $t_{PW-MIN}$ )

# 125V/2A、高速、 半桥MOSFET驱动器

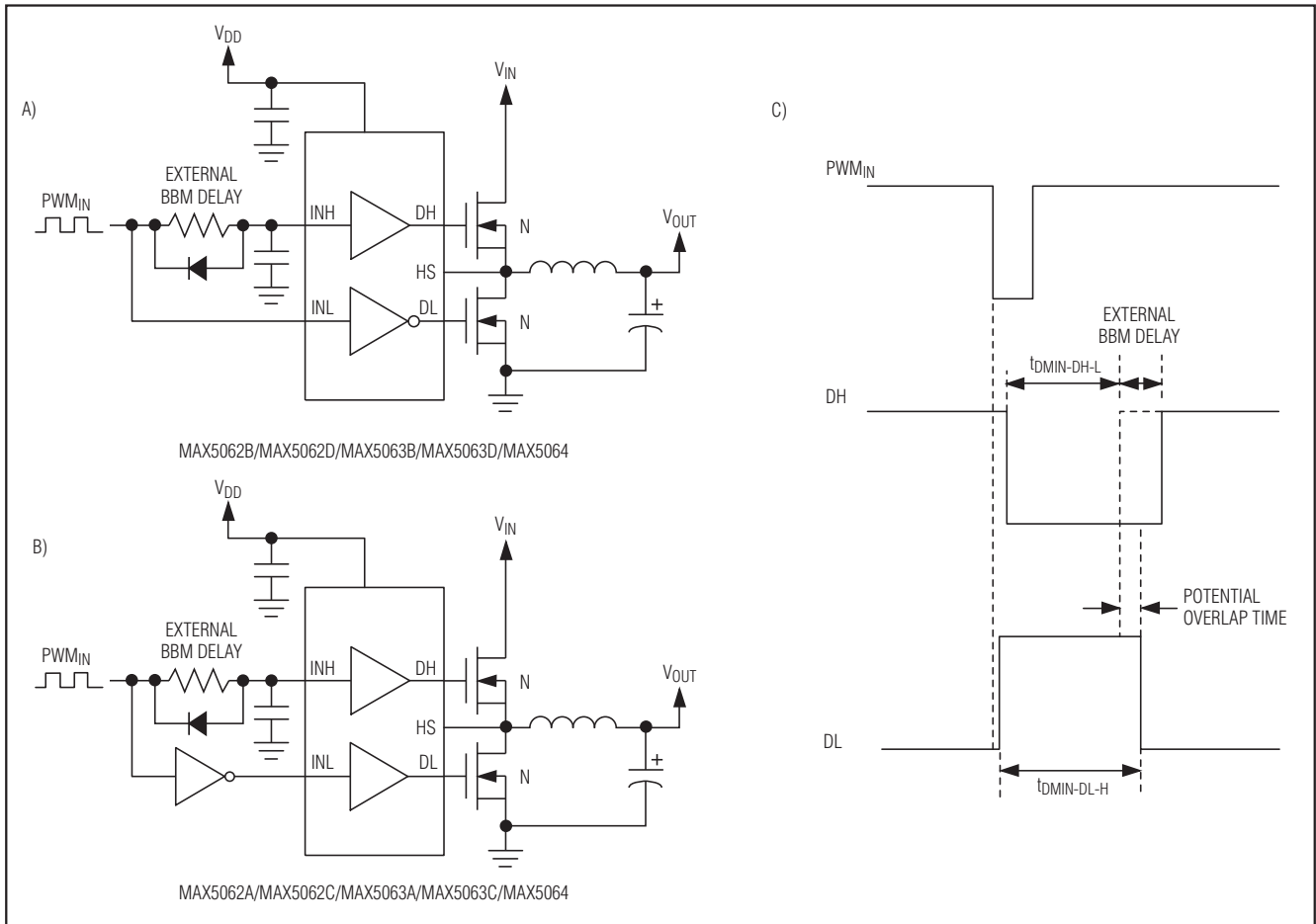


图3. 高占空比输入时，最小脉冲宽度的表现(关断时间 <  $t_{PW-MIN}$ )

## 应用信息

### 电源旁路和接地

需要特别注意MAX5062/MAX5063/MAX5064的旁路和接地。当两个驱动器同相驱动比较大的外部容性负载时，电源和输出中的峰值电流会超过4A。电源的跌落和地电位的偏移构成了某种形式的逆变器的负反馈，可能会给延迟和跳变时间带来负面影响。不恰当的器件接地造成的地偏移可能也会干扰共用同一交流地返回通路的其它电路。MAX5062/MAX5063/MAX5064带有任何容性负载时， $V_{DD}$ 、DH、DL和/或GND通路上的任何串联电感都会在开关时产生振荡，这是因为 $di/dt$ 非常高。尽可能靠近器件放置一个或多个并联的 $0.1\mu\text{F}$ 陶瓷电容旁路 $V_{DD}$ 至GND (MAX5062/MAX5063)或PGND (MAX5064)。使用接地层来

减小地返回通路电阻和串联电感。尽可能靠近MAX5062/MAX5063/MAX5064放置外部MOSFET，以减小电路板电感和交流通路电阻。对于MAX5064<sub>+</sub>，低功率逻辑地(AGND)与大功率驱动器返回地(PGND)是分开的。在IN<sub>-</sub>和AGND间接入逻辑输入信号，在DL与PGND之间连接负载(MOSFET栅极)。

### 功耗

MAX5062/MAX5063/MAX5064的功耗主要来自于内部自举二极管和nMOS FET及pMOS FET的功耗。

对于容性负载，器件的总功耗为：

$$P_D = (C_L \times V_{DD}^2 \times f_{sw}) + (I_{DDO} + I_{BSTO}) \times V_{DD}$$

# 125V/2A、高速、半桥MOSFET驱动器

MAX5062/MAX5063/MAX5064

其中， $C_L$ 为DH和DL上的总容性负载。 $V_{DD}$ 为电源电压， $f_{SW}$ 为转换器的开关频率。 $P_D$ 包括内部自举二极管的功耗。如果使用外部肖特基自举二极管，内部功耗还可降低 $P_{DIODE}$ 。内部自举二极管的功耗(驱动容性负载时)等于每个开关周期通过二极管的电荷乘以最大二极管正向压降( $V_f = 1V$ )。

$$P_{DIODE} = C_{DH} \times (V_{DD} - 1) \times f_{SW} \times V_f$$

使用内部自举二极管时的总功耗为 $P_D$ ，使用外部肖特基二极管时的总功耗为 $P_D - P_{DIODE}$ 。在 $T_A = +70^\circ C$ 环境下，12引脚TQFN封装的器件的总功耗必须保持低于1.951W的最大值，带有裸焊盘的8引脚SO封装应低于1.5W，常规8引脚SO封装应低于0.471W。

## 布局信息

MAX5062/MAX5063/MAX5064驱动器源出和吸收很大的电流，以便在开关MOSFET的栅极产生很快的上升和下降沿。如果没有很好地控制连线的长度和阻抗，高 $di/dt$ 会造成无法接受的振荡。在使用MAX5062/MAX5063/MAX5064进行设计时，可遵循如下的PCB布局准则：

- 重要的是要保证 $V_{DD}$ 电压(相对于地)或BST电压(相对于HS)不超出13.2V。高于13.2V的电压尖峰会导致器件损坏。在 $V_{DD}$ 至GND (MAX5062/MAX5063)或 $V_{DD}$ 至PGND (MAX5064)，以及BST至HS之间，尽量靠近器件放置一个或多个低ESL的0.1 $\mu F$ 陶瓷去耦电容。陶瓷去耦电容应至少20倍于被驱动的栅极电容。
- MOSFET栅极与器件之间有两个交流电流环。拉低栅极电压时，MOSFET类似于一个从栅极到源极的大电容。活动的电流环为：MOSFET驱动器输出(DL或DH)——MOSFET栅极——MOSFET源极——MOSFET驱动器返回端(GND或HS)。当拉高MOSFET栅极电压时，活动的电流环为：MOSFET驱动器输出(DL或DH)——MOSFET栅极——MOSFET源极——驱动器去耦电容返回端——去耦电容正端——MOSFET驱动器供电引脚。去耦电容可能是连接在BST和HS之间的浮动电容，或者是 $V_{DD}$ 的去耦电容。布局时必须仔细处理上述交流电流环，使其物理长度和阻抗最小。
- 要将TQFN (MAX5064)或SO (MAX5062C/D和MAX5063C/D)封装的裸焊盘焊接到大面积敷铜上，以获得额定的功率耗散能力。在靠近 $V_{DD}$ 去耦电容返回端的地方将AGND和PGND单点连接。

# 125V/2A、高速、半桥MOSFET驱动器

典型应用电路

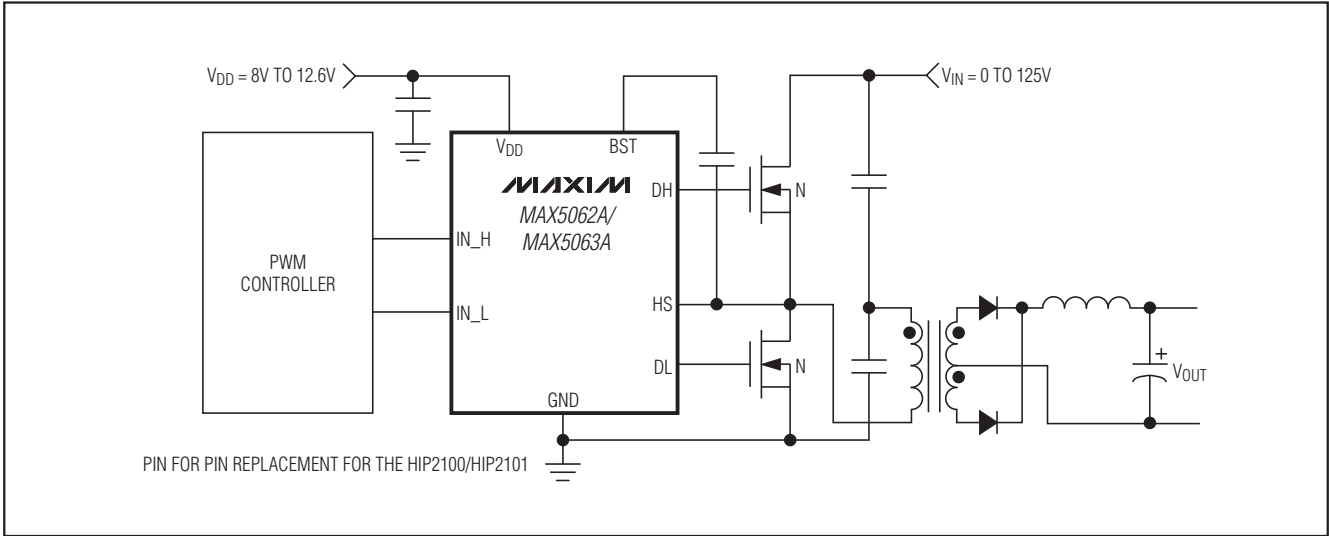


图4. MAX5062用于半桥转换电路

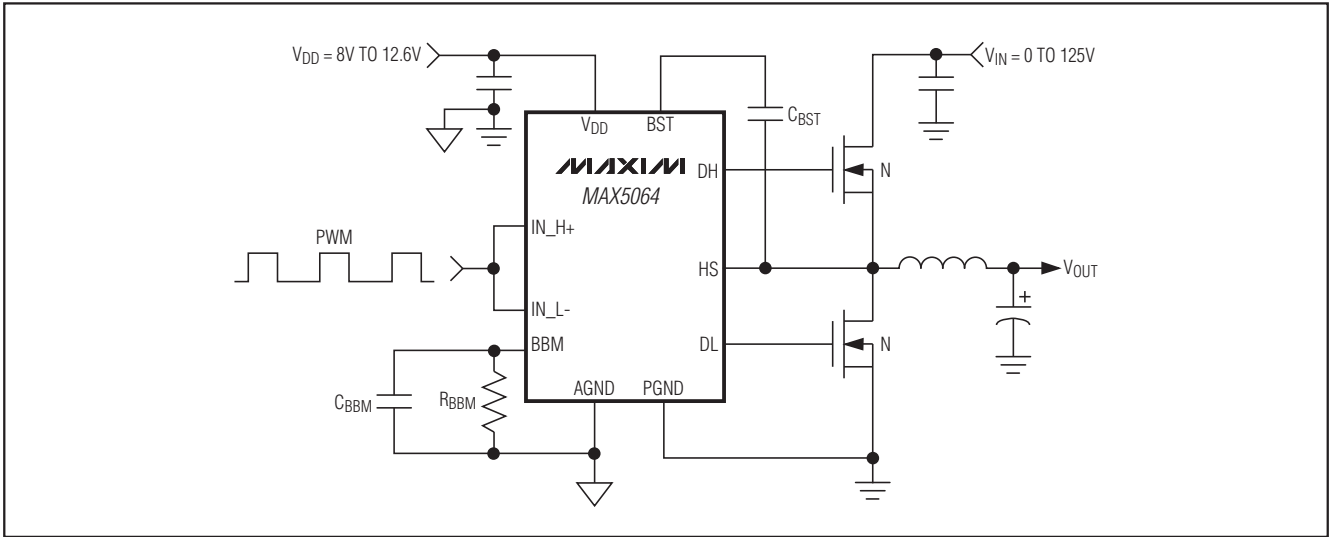


图5. 同步buck转换器

# 125V/2A、高速、半桥MOSFET驱动器

典型应用电路(续)

MAX5062/MAX5063/MAX5064

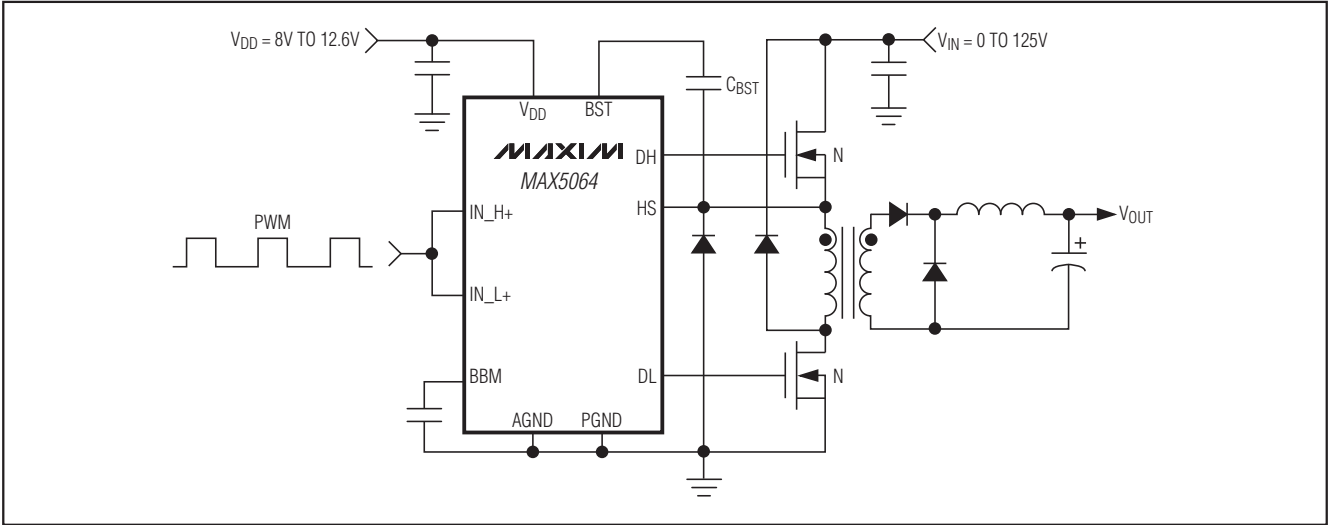


图6. 双开关正激转换电路

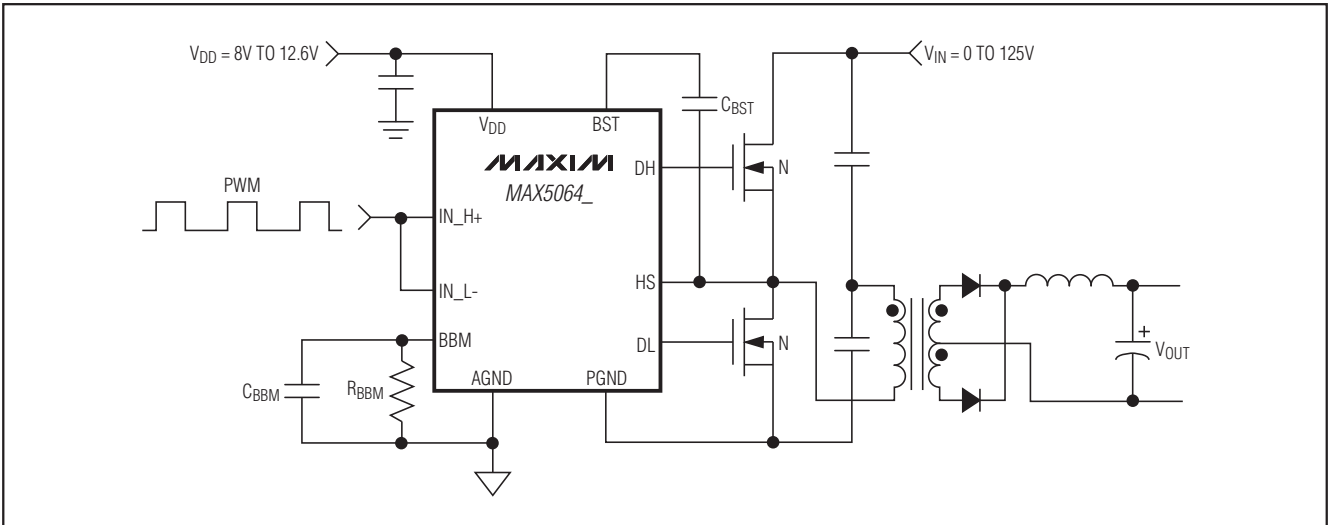
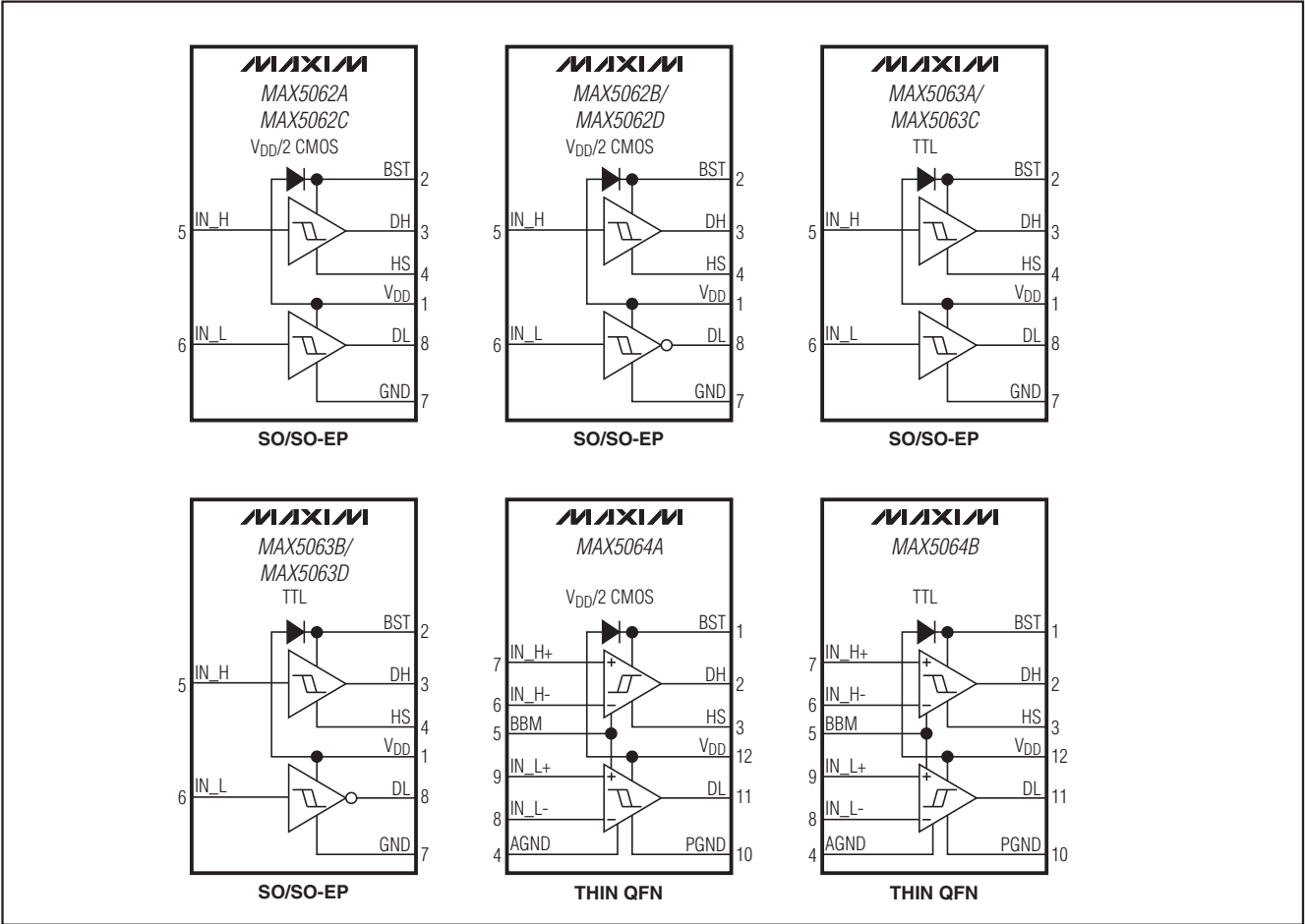


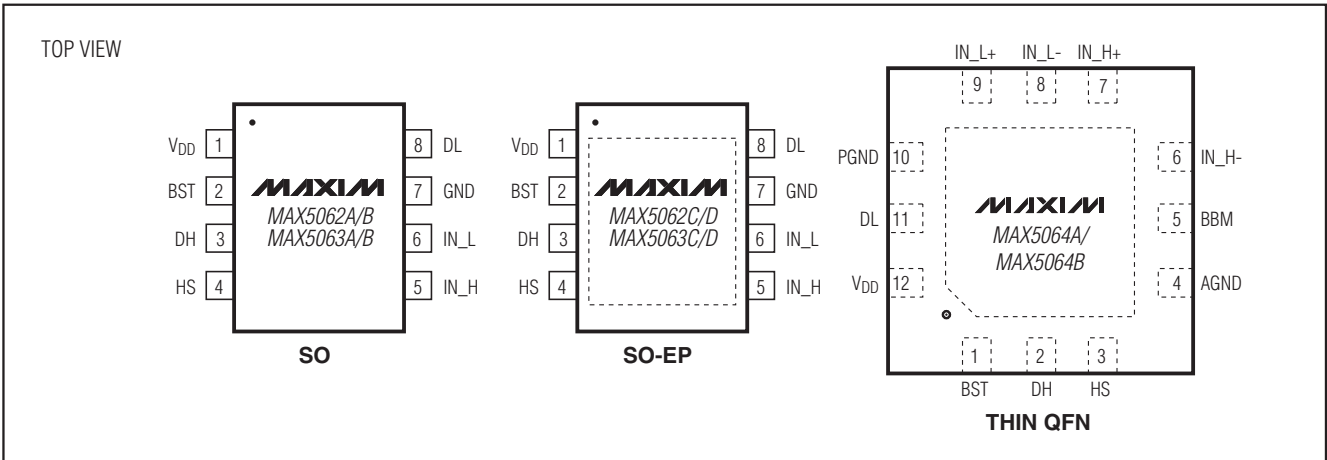
图7. MAX5064用于半桥转换器

# 125V/2A、高速、半桥MOSFET驱动器

## 功能框图



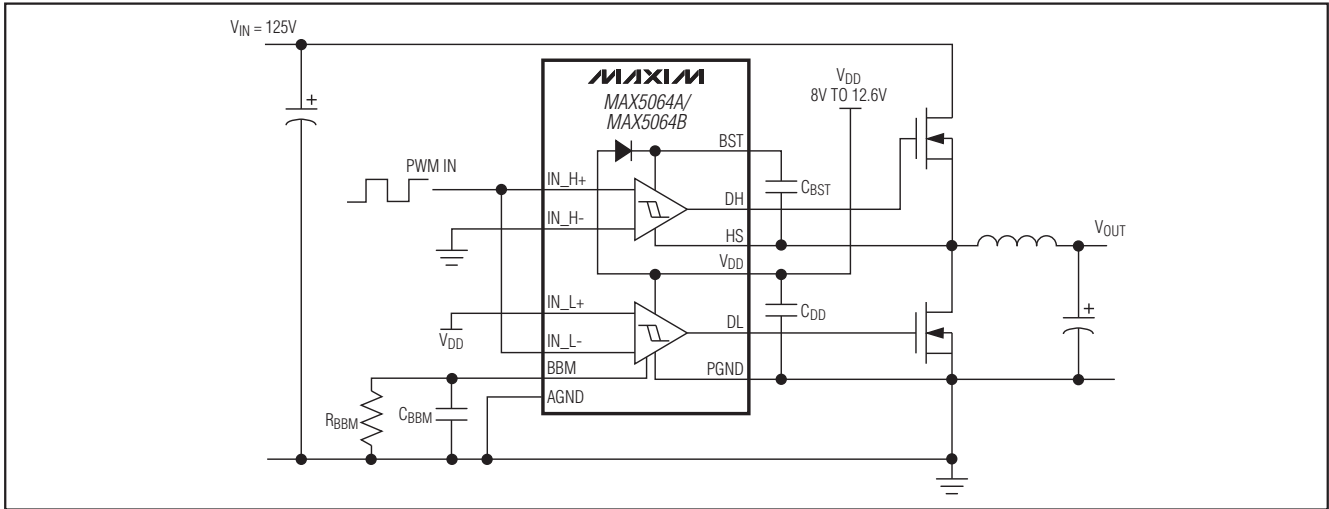
## 引脚配置





# 125V/2A、高速、半桥MOSFET驱动器

典型工作电路



选型指南(续)

PART	HIGH-SIDE DRIVER	LOW-SIDE DRIVER	LOGIC LEVELS	PIN COMPATIBLE
MAX5063AASA	Noninverting	Noninverting	TTL	HIP21011B
MAX5063BASA	Noninverting	Inverting	TTL	—
MAX5063CASA	Noninverting	Noninverting	TTL	—
MAX5063DASA	Noninverting	Inverting	TTL	—
MAX5064AATC	Both Inverting and Noninverting	Both Inverting and Noninverting	CMOS ( $V_{DD} / 2$ )	—
MAX5064BATC	Both Inverting and Noninverting	Both Inverting and Noninverting	TTL	—

订购信息(续)

PART	TEMP RANGE	PIN-PACKAGE	TOP MARK	PKG CODE
MAX5063AASA	-40°C to +125°C	8 SO	—	S8-5
MAX5063BASA	-40°C to +125°C	8 SO	—	S8-5
MAX5063CASA	-40°C to +125°C	8 SO-EP*	—	S8E-14
MAX5063DASA	-40°C to +125°C	8 SO-EP*	—	S8E-14
MAX5064AATC	-40°C to +125°C	12 TQFN	AAEF	T1244-4
MAX5064BATC	-40°C to +125°C	12 TQFN	AAEG	T1244-4

\*EP = 裸焊盘。

器件提供含铅和无铅两种封装。

订购无铅封装时须用“+T”替代“-T”。

芯片信息

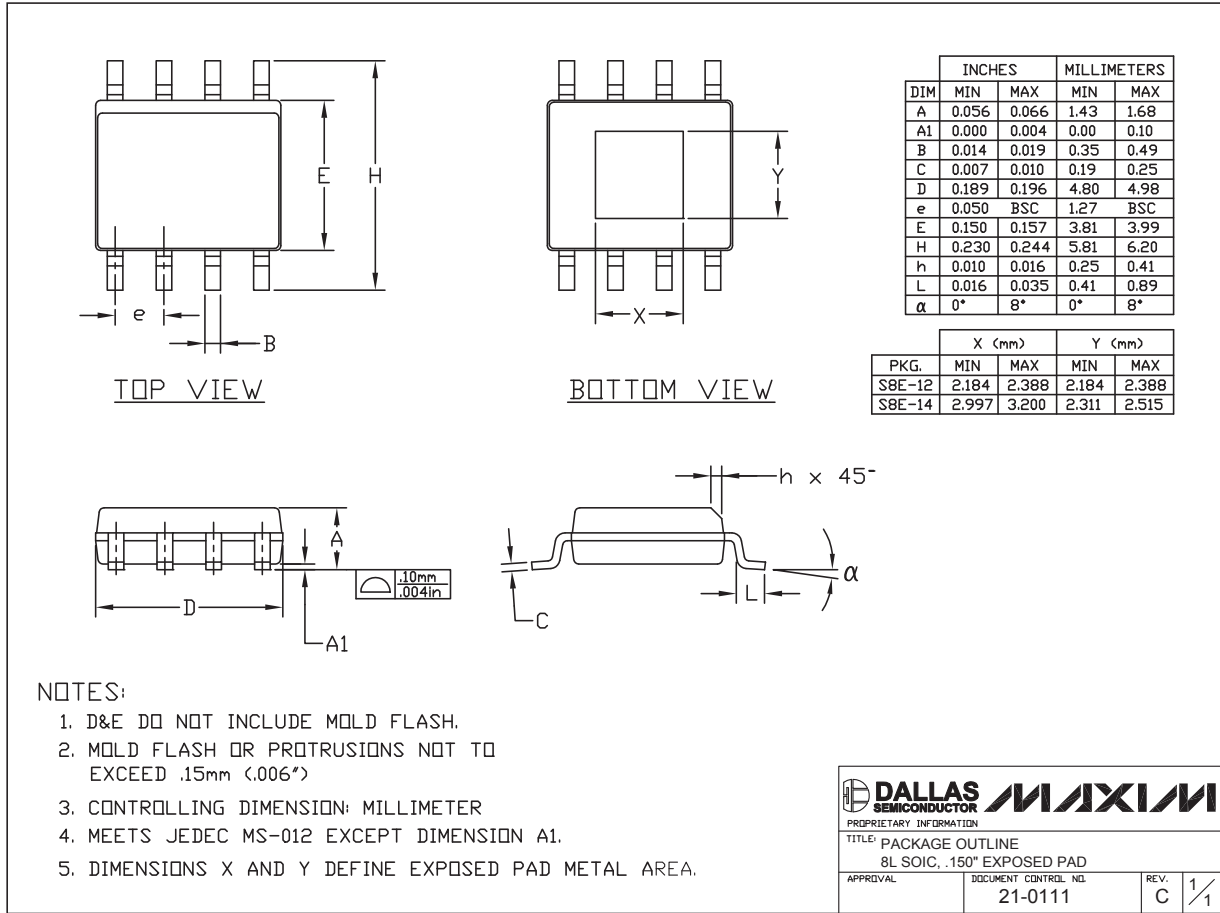
TRANSISTOR COUNT: 790

PROCESS: HV BiCMOS

# 125V/2A、高速、 半桥MOSFET驱动器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)



8L, SOIC EXP. PAD EPS



# 125V/2A、高速、 半桥MOSFET驱动器

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)

COMMON DIMENSIONS													EXPOSED PAD VARIATIONS											
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4			PKG CODES	D2			E2			DOWN BONDS ALLOWED	
	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.	MIN.	NDM.	MAX.		MIN.	NDM.	MAX.	MIN.	NDM.	MAX.		
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES	
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO	
A2	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.			T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES	
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25	T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO	
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES	
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO	
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES	
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES	
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50	T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO	
N	12			16			20			24			28			T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO	
ND	3			4			5			6			7											
NE	3			4			5			6			7											
Jedec Var.	VGGB			VGGC			WGGD-1			WGGD-2			WGGE											

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC NO22D, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
  - COPLANARITY SHALL NOT EXCEED 0.08mm
  - WARPAGE SHALL NOT EXCEED 0.10mm
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

DALLAS SEMICONDUCTOR		MAXIM	
TITLED PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm			
APPROVAL	DOCUMENT CONTROL NO. 21-0139	REV. E	2/2

## 修订历史

Rev 5中的修改页: 1、2、4、5、11-15、19、20。

## Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

20 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**

© 2007 Maxim Integrated Products

MAXIM 是 Maxim Integrated Products, Inc. 的注册商标。