



完备的一次变频电视调谐器

MAX3542

概述

特性

MAX3542 完备的一次变频电视调谐器专为模拟/数字地面接收机和数字机顶盒而设计。该电视调谐器采用+3.3V供电，功耗仅为760mW。

MAX3542 能够将47MHz至862MHz频带的PAL信号或DVB-T信号转换成36MHz中频(IF)信号。

MAX3542 包括可变增益低噪声放大器(LNA)、多波段跟踪滤波器、谐波抑制混频器、低噪声IF放大器、IF功率检测器以及可变增益IF放大器。MAX3542 还集成了单片VCO、谐振电路以及完整的频率合成器。这款高集成度器件可实现板级低功耗调谐器设计，无需考虑二次变频调谐器方案中的成本及功耗问题。

MAX3542 工作于0°C至+70°C温度范围，采用48引脚、无铅倒装芯片(fcLGA)封装。

- ◆ 低功耗：+3.3V供电时功耗仅为760mW (典型值)
- ◆ 集成跟踪滤波器
- ◆ 低噪声系数：4.9dB (典型值)
- ◆ 微小的7mm x 7mm fcLGA无铅封装
- ◆ IF过载检测器控制RF可变增益放大器
- ◆ 采用2线、I²C兼容的串行控制接口

应用

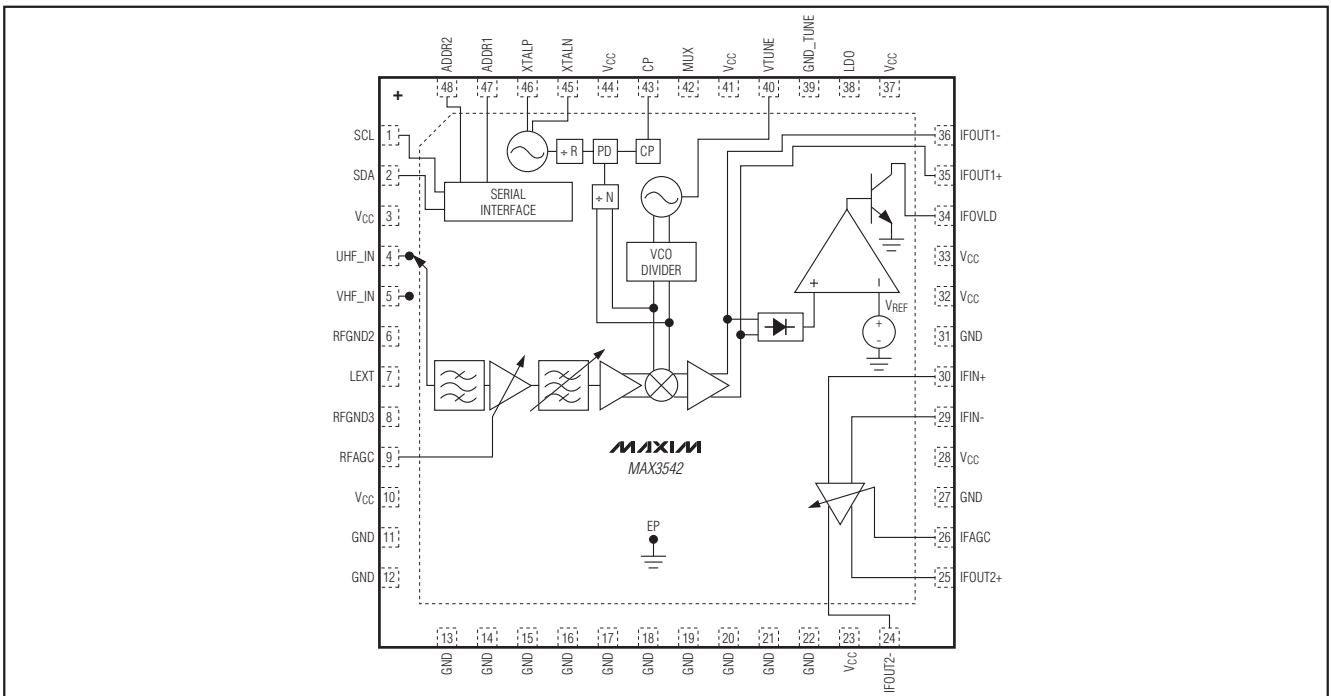
订购信息

- 电视
- 模拟/数字地面接收机
- 数字机顶盒

PART	TEMP RANGE	PIN-PACKAGE
MAX3542CLM+	0°C to +70°C	48 LGA-EP*

+表示无铅(Pb)/符合RoHS标准的封装。
*EP = 裸焊盘。

引脚配置/功能框图




完备的一次变频 电视调谐器

ABSOLUTE MAXIMUM RATINGS

V_{CC} to GND-0.3V, +3.6V
 UHF_IN, VHF_IN, IFIN_, IFOUT1_, IFOUT2_, IFAGC,
 RFAGC, VTUNE, LDO, MUX, CP,
 XTAL_ to GND-0.3V to (V_{CC} + 0.3V)
 SDA, SCL, ADDR2, ADDR1 to GND.....-0.3V to +3.6V
 IFOUT_ Short-Circuit DurationIndefinite
 RF Input Power+10dBm

Continuous Power Dissipation (T_A = +70°C)
 48-Pin LGA (derate 25mW/°C above +70°C)1.4W
 Operating Temperature Range.....0°C to +70°C
 Junction Temperature.....+150°C
 Storage Temperature Range.....-65°C to +165°C
 Lead Temperature (soldering, 10s)+260°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

 **CAUTION!** ESD SENSITIVE DEVICE

DC ELECTRICAL CHARACTERISTICS

(MAX3542 EV kit, V_{CC} = +3.1V to +3.5V, T_A = 0°C to +70°C, no RF signals at RF inputs, default register settings, V_{RFAGC} = V_{IFAGC} = +3V (minimum attenuation), unless otherwise noted. Typical values are at V_{CC} = +3.3V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY VOLTAGE AND CURRENT					
Supply Voltage		+3.1		+3.5	V
Supply Current	Receive mode		230	275	mA
	Shutdown mode		5		
RF and IF AGC Input Bias Current	At +0.5V and +3V	-50		+50	μA
RF and IF AGC Control Voltage (Note 2)	Minimum attenuation	+3			V
	Maximum attenuation			+0.5	
Digital Input Logic-Level Low			0.3 x V _{CC}		V
Digital Input Logic-Level High		0.7 x V _{CC}			V
SERIAL INTERFACE					
Input Logic-Level Low			0.3 x V _{CC}		V
Input Logic-Level High		0.7 x V _{CC}			V
Input Hysteresis			0.05 x V _{CC}		V
SDA, SCL Input Current		-10		+10	μA
Output Logic-Level Low	3mA sink current			0.4	V
Output Logic-Level High		V _{CC} - 0.5			V

完备的一次变频 电视调谐器

MAX3542

AC ELECTRICAL CHARACTERISTICS

(MAX3542 EV kit, $V_{CC} = +3.1V$ to $+3.5V$, $T_A = 0^{\circ}C$ to $+70^{\circ}C$, 75Ω system impedance, default register settings, $V_{RFAGC} = V_{IFAGC} = +3V$ (minimum attenuation), unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
RF INPUT TO IFOUT1_ OUTPUT						
Operating Frequency Range (see Table 7)	Gain specification met across this frequency band	47		862	MHz	
Output Frequency	Analog channel PIX carrier		38.9		MHz	
	Digital channel center frequency		36			
Voltage Gain	Source impedance = 75Ω , load impedance = 200Ω	Maximum gain ($V_{RFAGC} = 3V$)	34	41	49.5	dB
		Minimum gain ($V_{RFAGC} = 0.5V$)		-10		
Input Return Loss	Selected channel		10		dB	
Noise Figure	Maximum gain ($V_{RFAGC} = 3V$)		4.9		dB	
Input IP2 (In-Band and Out-of-Band Tones)	Maximum gain ($V_{RFAGC} = 3V$)		20		dBm	
	At 12.5dB of gain		30			
Input IP3 (In-Band and Out-of-Band Tones)	Maximum gain ($V_{RFAGC} = 3V$)		-10		dBm	
	At 12.5dB of gain	13				
Input P _{1dB}	Maximum gain ($V_{RFAGC} = 3V$)		-38		dBm	
	At 12.5dB of gain		-5			
Beats Within Output	0dBmV PIX carrier level		-40		dBc	
Beats, Converted to Output	VHF input, 140MHz to 500MHz		-60		dBc	
	VHF input, 500MHz to 1400MHz		-50			
	UHF input, 950MHz to 1400MHz		-60			
Gain Flatness	47MHz to 54MHz			2.5	dB _{P-P}	
Isolation	5MHz to 50MHz, RF input to IF output, relative to desired channel		60		dBc	
Port-to-Port Isolation	Isolation between RF input ports at 215MHz		27		dB	
Image Rejection	Measured at 77.8MHz above desired channel's center frequency	57	70		dBc	
Spurious Leakage at RF Input	5Hz to 65MHz		-40		dBmV	
	65MHz to 878MHz		-40			
Phase Noise (Single-Sideband)	1kHz		-80		dBc/Hz	
	10kHz offset		-85			
	100kHz offset (1.5kHz loop bandwidth)		-105			
	1MHz offset (1.5kHz loop bandwidth)		-125			
Output Return Loss	Balanced 50Ω load		20		dB	
IF VARIABLE-GAIN AMPLIFIER						
Input Impedance	Balanced		2000		Ω	
Output Impedance	Balanced (Note 2)			300	Ω	

完备的一次变频 电视调谐器

MAX3542

AC ELECTRICAL CHARACTERISTICS (continued)

(MAX3542 EV kit, $V_{CC} = +3.1V$ to $+3.5V$, $T_A = 0^\circ C$ to $+70^\circ C$, 75Ω system impedance, default register settings, $V_{RFAGC} = V_{IFAGC} = +3V$ (minimum attenuation), unless otherwise noted. Typical values are at $V_{CC} = +3.3V$, $T_A = +25^\circ C$, unless otherwise noted.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
Passband Voltage Gain	Source load = $1.1k\Omega$, output load = $1k\Omega$	Maximum gain setting ($V_{IFAGC} = 3V$)	54	59	63	dB
		Minimum gain setting ($V_{IFAGC} = 0.5V$)			21	
Passband Gain Flatness	32MHz to 40MHz (Note 2)			1.2	dB	
Output Voltage	$V_{IFAGC} = 3V$ (Note 2)			2.5	V_{P-P}	
AGC Gain Slope	$V_{IFAGC} = 3V$ to $0.5V$ (Note 2)			27	dB/V	
Equivalent Input-Voltage Noise Density	At 36MHz, maximum gain ($V_{IFAGC} = 3V$) (Note 2)			7.3	nV/ \sqrt{Hz}	
Noise Figure Change vs. Attenuation			< 0.35		dB/dB	
IM3	$V_{OUT} = 1V_{P-P}$, $40dB < \text{gain} < 60dB$ (Note 2)	-56			dBc	
IF OVERLOAD DETECTOR (See the IF Overload Detector Section)						
Output Overload Attack Point			0.7		V_{P-P}	
Attack Point Accuracy	OD REG = 3		± 1		dB	
Detector Output-Voltage Range	Negative polarity, overload reduces V_{DET} (open collector, 0.3mA sink)	0.5		3.0	V	
Detector Gain			70		V/V	
FREQUENCY SYNTHESIZER—REFERENCE OSCILLATOR						
Frequency			8		MHz	
DIVIDERS						
RF N-Divider Ratio		256		32,767		
RF R-Divider Ratio		16		127		
LO PHASE DETECTOR AND CHARGE PUMP						
Comparison Frequency		63		500	kHz	
Charge-Pump Current	CP = 00		0.5		mA	
	CP = 01		1			
	CP = 10		1.5			
	CP = 11		2			
Charge-Pump Three-State Current			± 5		nA	
Charge-Pump Compliance Range		0.4		$V_{CC} - 0.4$	V	
Charge-Pump Current Matching			5		%	
LOCAL OSCILLATOR						
VCO Tuning Range	Tank frequency	2200		4400	MHz	
VCO Tuning Gain	Tank oscillator gain			500	MHz/V	
2-WIRE SERIAL INTERFACE						
Clock Frequency				400	kHz	

Note 1: Min/max values are production tested at $T_A = +70^\circ C$.

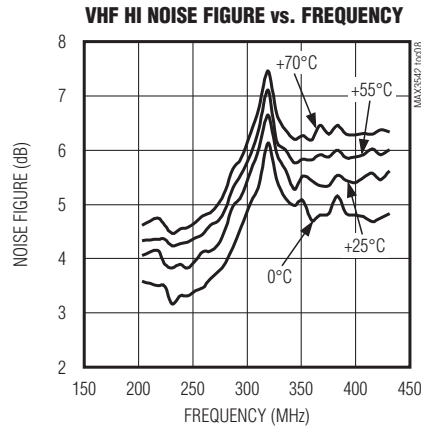
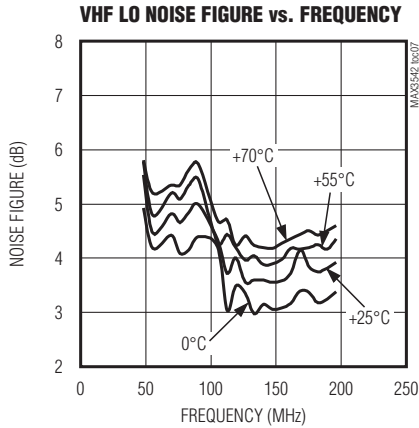
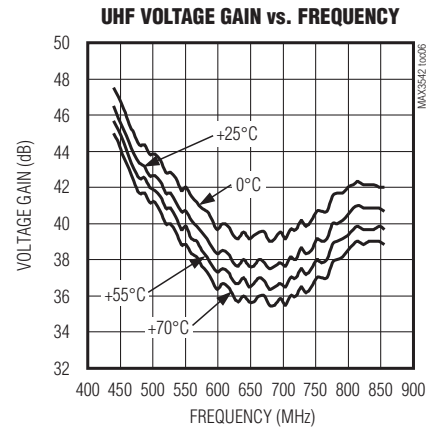
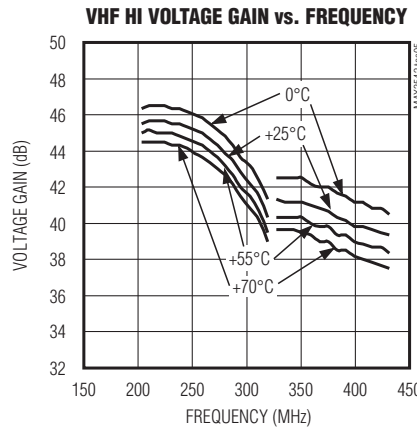
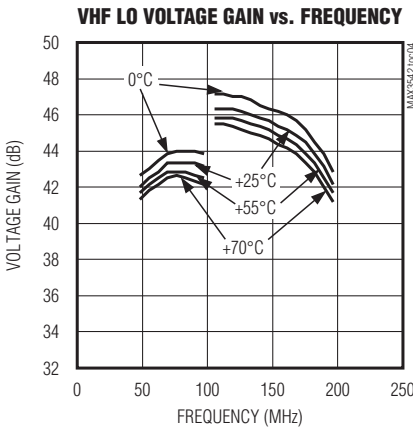
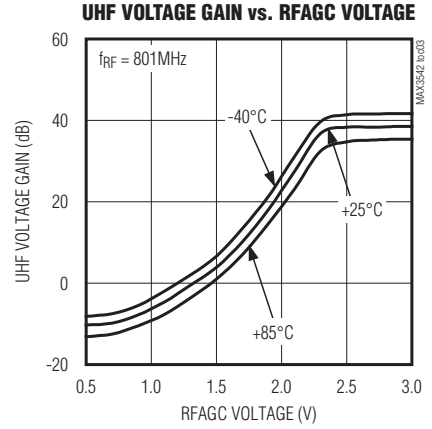
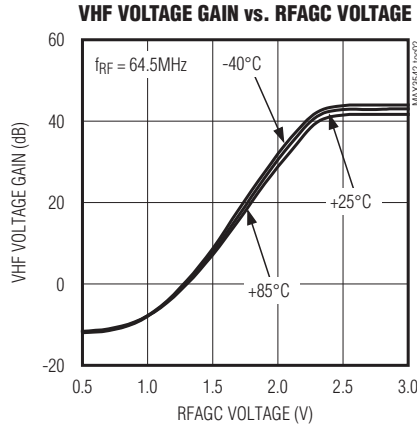
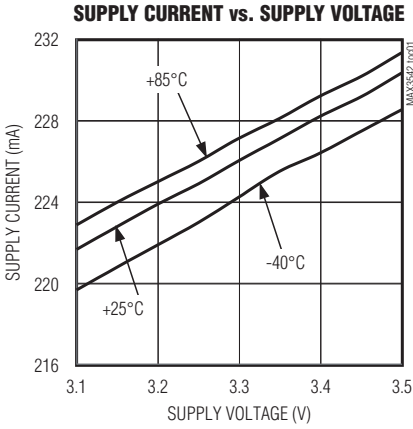
Note 2: Guaranteed by design and characterization.

完备的一次变频 电视调谐器

典型工作特性

(MAX3542 EV kit, $V_{CC} = +3.3V$, $V_{IFAGC} = 3.0V$, $V_{RFAGC} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)

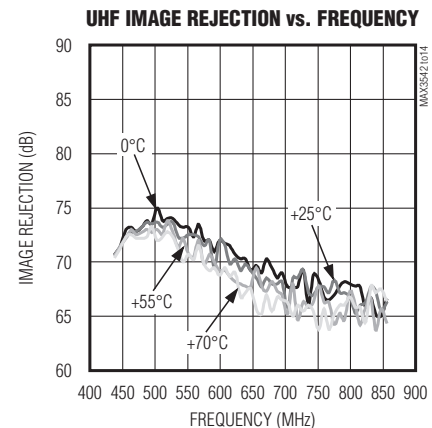
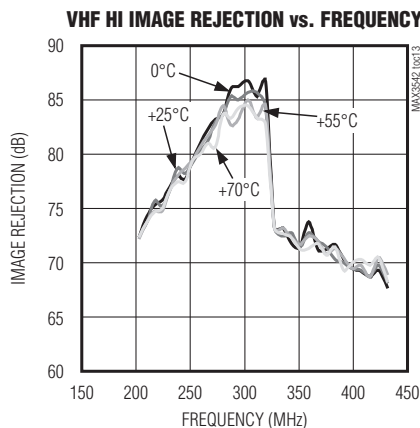
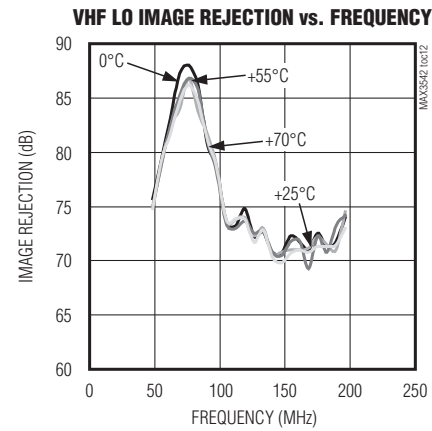
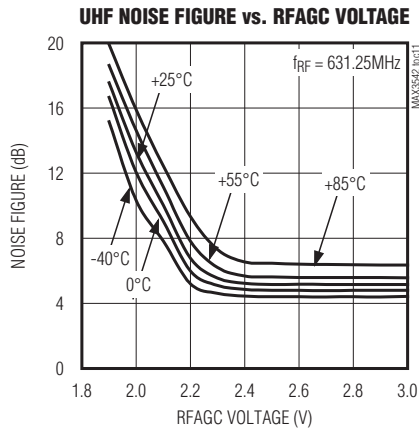
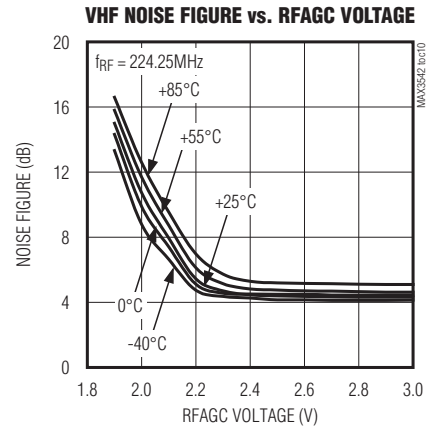
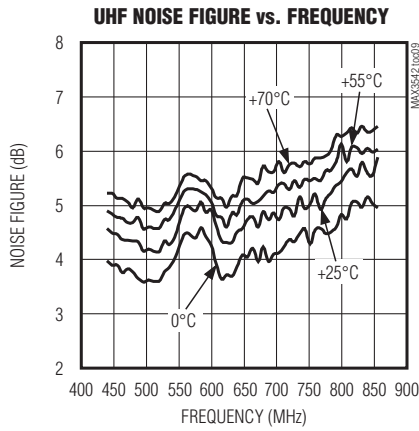
MAX3542



完备的一次变频 电视调谐器

典型工作特性(续)

(MAX3542 EV kit, $V_{CC} = +3.3V$, $V_{IFAGC} = 3.0V$, $V_{RFAGC} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)

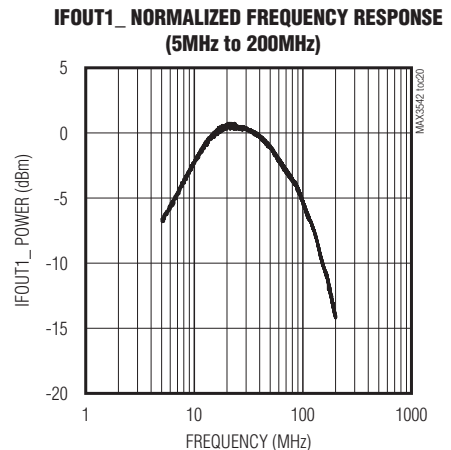
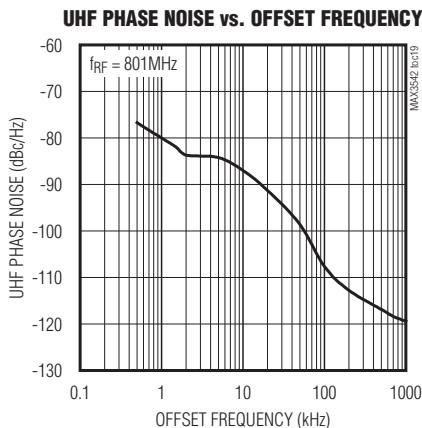
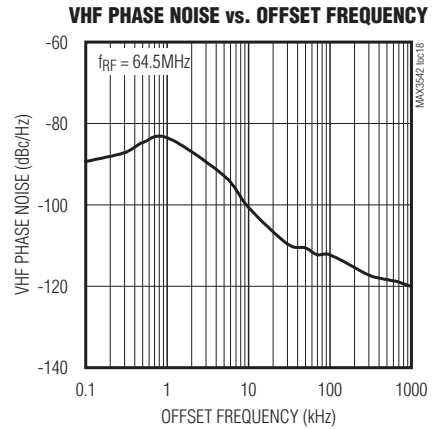
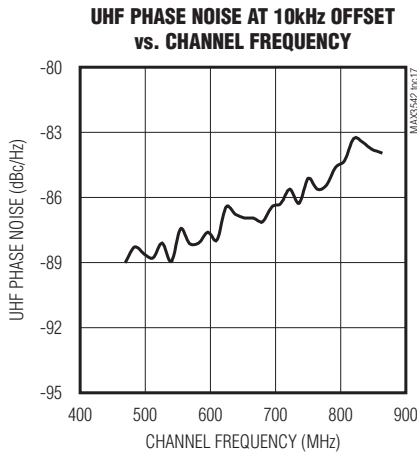
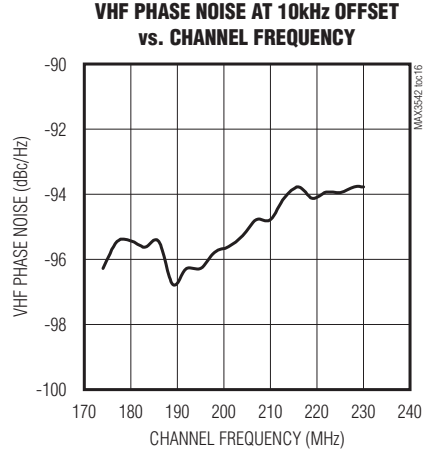
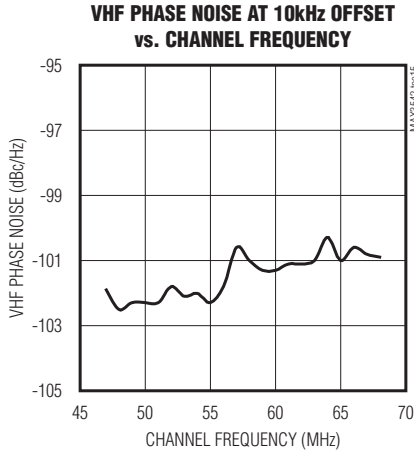


完备的一次变频 电视调谐器

典型工作特性(续)

(MAX3542 EV kit, $V_{CC} = +3.3V$, $V_{IFAGC} = 3.0V$, $V_{RFAGC} = 3.0V$, $T_A = +25^{\circ}C$, unless otherwise noted.)

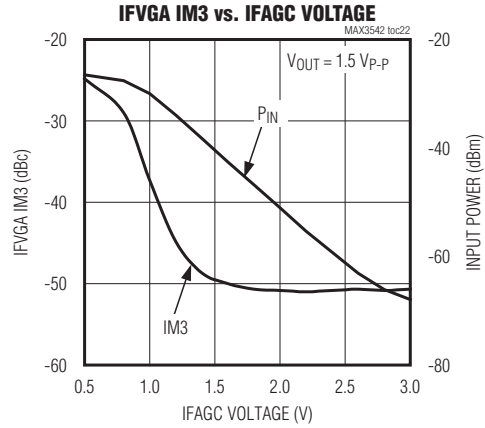
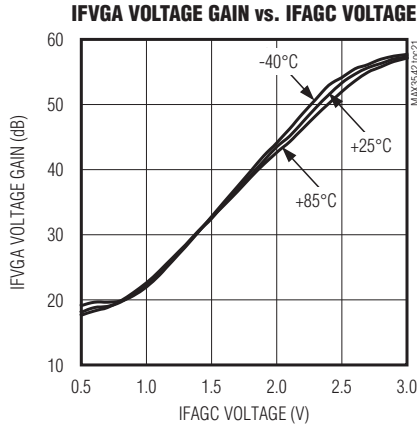
MAX3542



完备的一次变频 电视调谐器

典型工作特性(续)

(MAX3542 EV kit, $V_{CC} = +3.3V$, $V_{IFAGC} = 3.0V$, $V_{RFAGC} = 3.0V$, $T_A = +25^\circ C$, unless otherwise noted.)



引脚说明

引脚	名称	功能
1	SCL	2线串行时钟接口, 需要采用上拉电阻连接至 V_{CC} 。
2	SDA	2线串行数据接口, 需要采用上拉电阻连接至 V_{CC} 。
3, 10, 23, 28, 32, 33, 37, 41, 44	V_{CC}	电源连接, 采用1000pF的电容旁路各个电源引脚至地。
4	UHF_IN	UHF RF输入, 需要一个隔直电容。
5	VHF_IN	VHF RF输入, 需要一个隔直电容。
6	RF_GND2	RF地, 采用1000pF电容将其旁路至PCB地平面。不要将RF_GND2和RF_GND3连接在一起。
7	LEXT	RF VGA电源电压, 通过270nH上拉电感连接至 V_{CC} 。
8	RF_GND3	RF地, 采用1000pF电容将其旁路至PCB地平面。不要将RF_GND2和RF_GND3连接在一起。
9	RFAGC	RF VGA增益控制电压, 可接受0.5V (最小增益)至3V (最大增益)的直流电压。
11-22, 27, 31	GND	地, 连接至PCB的地平面。
24	IFOUT2-	IF VGA反相输出, 连接至抗混叠滤波器的输入。需要一个隔直电容。
25	IFOUT2+	IF VGA同相输出, 连接至抗混叠滤波器的输入。需要一个隔直电容。
26	IFAGC	IF VGA增益控制电压, 可接受0.5V (最小增益)至3V (最大增益)的直流电压。
29	IFIN-	IF VGA反相输入, 连接至IF-SAW滤波器的输出。
30	IFIN+	IF VGA同相输入, 连接至IF-SAW滤波器的输出。
34	IFOVL	IF过载监测器的集电极开路输出, 需要通过10k Ω 电阻上拉至 V_{CC} 。
35	IFOUT1+	IF LNA同相输出, 需要一个隔直电容。
36	IFOUT1-	IF LNA反相输出, 需要一个隔直电容。
38	LDO	VCO LDO旁路。采用0.47 μ F电容旁路至地。

完备的一次变频 电视调谐器

引脚说明(续)

MAX3542

引脚	名称	功能
39	GND_TUNE	VTUNE接地端，连接至PCB的地平面。所有环路滤波元件的GND必须连接到该引脚(参见典型应用电路)。
40	VTUNE	VCO调谐输入，连接至PLL环路滤波器输出。
42	MUX	测试输出，正常工作时该引脚悬空。
43	CP	电荷泵输出，连接至PLL环路滤波器输入。
45	XTALN	晶体振荡器反馈，参见典型应用电路。
46	XTALP	晶体振荡器反馈，参见典型应用电路。
47	ADDR1	2线串口地址线1，该引脚和ADDR2引脚设置I ² C兼容串口的器件地址。
48	ADDR2	2线串口地址线2，该引脚和ADDR1引脚设置I ² C兼容串口的器件地址。
—	EP	裸焊盘，内部连接至GND。均匀焊接至PCB地平面以保证正常工作。

完备的一次变频 电视调谐器

详细说明

寄存器说明

MAX3542 包含 11 个可编程寄存器和两个只读寄存器。11 个可编程寄存器包含了两个 N 分频寄存器、一个 R 分频寄存器、一个 VCO 寄存器、一个 IFOVLD/电荷泵/滤波器选择寄存器、一个控制寄存器、一个关断寄存器和跟踪滤波

波控制寄存器。这 11 个可编程寄存器也是可读寄存器。只读寄存器包括一个状态寄存器和一个 ROM 表数据寄存器。

所推荐的缺省位设置仅供用户参考，并不保证满足用户需求。用户必须在上电后对所有寄存器进行写操作，但写寄存器必须在上电 100 μ s 后执行。

表 1. 寄存器配置

REGISTER NAME	READ/ WRITE	REGISTER ADDRESS	MSB								LSB
			DATA BYTE								
			D7	D6	D5	D4	D3	D2	D1	D0	
N-DIV High	Both	0x00	0	N14	N13	N12	N11	N10	N9	N8	
N-DIV Low	Both	0x01	N7	N6	N5	N4	N3	N2	N1	N0	
R-DIV	Both	0x02	0	R6	R5	R4	R3	R2	R1	R0	
VCO	Both	0x03	VCO4	VCO3	VCO2	VCO1	VCO0	LD	VDIV1	VDIV0	
IFOVLD, Charge Pump, and Filter Select	Both	0x04	0	IFOVLD2	IFOVLD1	IFOVLD0	CP1	CP0	TF1	TF0	
Control	Both	0x05	0	0	0	0	SHDN_RF	SHDN_IFVGA	INPT1	INPT0	
Shutdown	Both	0x06	SHDN_MIX1	SHDN_MIX0	SHDN_IF	SHDN_OD	SHDN_SYN	0	0	0	
Tracking Filter Series Capacitor	Both	0x07	TFS7	TFS6	TFS5	TFS4	TFS3	TFS2	TFS1	TFS0	
Tracking Filter Parallel Capacitor	Both	0x08	FLD	0	TFP5	TFP4	TFP3	TFP2	TFP1	TFP0	
Tracking Filter ROM Address	Both	0x09	0	0	0	0	TFA3	TFA2	TFA1	TFA0	
Reserved	Both	0x0A	X	X	X	X	X	X	X	X	
ROM Table Data Readback	Read	0x0B	TFR7	TFR6	TFR5	TFR4	TFR3	TFR2	TFR1	TFR0	
Status	Read	0x0C	POR	LD2	LD1	LD0	X	X	X	X	

表 2. N-DIV 寄存器的高位字节(地址: 0000_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
RESERVED	7	0	Must be set to 0.
N[14:8]	6-0	0000001	Sets the most significant bits of the PLL integer divider (N). Default integer divider value is N = 4688. N can range from 256 to 32,767.

完备的一次变频 电视调谐器

MAX3542

表3. N-DIV寄存器的低位字节(地址: 0001_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
N[7:0]	7-0	10101011	Sets the least significant bits of the PLL integer divider (N). Default integer divider value is N = 4688. N can range from 256 to 32,767.

表4. R-DIV寄存器(地址: 0010_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
RESERVED	7	0	Must be set to 0.
R[6:0]	6-0	0010000	Sets the PLL reference divider (R). Default reference divider value is R = 64. R can range from 16 to 127.

表5. VCO寄存器(地址: 0011_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
VCO[4:3]	7-6	10	VCO select. Selects one of three possible VCOs. 00 = VCOs shut down 01 = Selects VCO1 10 = Selects VCO2 11 = Selects VCO3
VCO[2:0]	5-3	111	VCO sub-band select. Selects one of eight possible VCO sub-bands. 000 = Selects SB0 001 = Selects SB1 010 = Selects SB2 011 = Selects SB3 100 = Selects SB4 101 = Selects SB5 110 = Selects SB6 111 = Selects SB7
LD	2	1	Lock detect enable. 0 = Disabled 1 = Enabled
VDIV[1:0]	1-0	10	VCO divider ratio select. 00 = Sets VCO divider to 4 01 = Sets VCO divider to 8 10 = Sets VCO divider to 16 11 = Sets VCO divider to 32

完备的一次变频 电视调谐器

MAX3542

表6. IFOVLD、电荷泵和滤波器选择寄存器(地址: 0100_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
RESERVED	7	0	Must be set to 0.
IFOVLD[2:0]	6-4	000	Write content of ROM register OD[2:0] to this location.
CP[1:0]	3-2	00	Selects the typical charge-pump current. 00 = 0.5mA 01 = 1mA 10 = 1.5mA 11 = 2mA
TF[1:0]	1-0	00	Selects the tracking filter band of operation. 00 = VHF_LO 01 = VHF_HI 10 = UHF 11 = Factory use only

表7. 控制寄存器(地址: 0101_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
RESERVED	7-4	0000	Must be set to 0000.
SHDN_RF	3	0	RF shutdown. 0 = RF circuitry enabled 1 = RF circuitry disabled
SHDN_IFVGA	2	0	IF VGA shutdown. 0 = IF VGA enabled 1 = IF VGA disabled
INPT[1:0]	1-0	01	Selects the RF input. 00 = Selects VHF_IN, LPF enabled 01 = Selects VHF_IN, LPF disabled 10 = Selects UHF_IN 11 = Factory use only

表8. 关断寄存器(地址: 0110_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
SHDN_MIX [1:0]	7-6	00	Mixer shutdown. 00 = Mixer enabled 01,10 = Factory use only 11 = Mixer disabled
SHDN_IF	5	0	IF shutdown. 0 = IF section enabled 1 = IF section disabled
SHDN_OD	4	0	IFOVLD shutdown. 0 = Power detector enabled 1 = Power detector disabled
SHDN_SYN	3	0	Frequency synthesizer shutdown. 0 = Synthesizer enabled 1 = Synthesizer disabled
RESERVED	2-0	000	Must be set to 000.

完备的一次变频 电视调谐器

MAX3542

表 9. 跟踪滤波器串联电容寄存器(地址: 0111_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
TFS[7:0]	7-0	00001111*	Programs series capacitor values in the tracking filter.

*参见 RF跟踪滤波器部分。

表 10. 跟踪滤波器并联电容寄存器(地址: 1000_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
FLD	7	0	Filter load bit. A 0 to 1 transition of this bit forces the loading of the ROM Table Data Readback register.
RESERVED	6	0	Must be set to 0.
TFP[5:0]	5-0	001001*	Programs parallel capacitor values in the tracking filter.

*参见 RF跟踪滤波器部分。

表 11. 跟踪滤波器ROM地址寄存器(地址: 1001_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
RESERVED	7-4	0000	Must be set to 0000.
TFA[3:0]	3-0	0000*	Address bits of the ROM register to be read.

*参见 RF跟踪滤波器部分。

表 12. 保留寄存器(地址: 1010_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
RESERVED	7-0	N/A	Reserved. Do not program these bits during normal operation.

表 13. ROM表数据回读寄存器(地址: 1011_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
TFR[7:0]	7-0	00000000*	Tracking filter data bits read from the device's ROM table.

*参见 RF跟踪滤波器部分。

表 14. 状态寄存器(地址: 1100_b)

BIT NAME	BIT LOCATION (0 = LSB)	RECOMMENDED DEFAULT	FUNCTION
POR	7	N/A	Power-on reset. 0 = Status register has been read 1 = Power reset since last status register read
LD[2:0]	6-4	N/A	VCO tuning voltage indicators. 000 = PLL not in lock, tune to the next lowest sub-band 001-110 = PLL in lock 111 = PLL not in lock, tune to the next higher sub-band
RESERVED	3-0	N/A	Reserved.

完备的一次变频 电视调谐器

2线串口

MAX3542采用2线I²C兼容串口，由一根串行数据线(SDA)和一根串行时钟线(SCL)组成。SDA和SCL能够以高达400kHz的时钟频率支持MAX3542与主机之间的双向通信。主机启动总线上的数据传输，产生SCL信号进行数据传输。MAX3542只能作为从器件，能够将数据发送到主机并接收来自主机的数据。为了进行正常的总线通信，SDA和SCL必须通过外部电阻(1kΩ或更大电阻)拉高。

每个SCL时钟周期传输1位数据，传输一个字节的MAX3542输入或输出至少需要9个时钟周期(8位数据和1位ACK/NACK)。SCL时钟脉冲为高电平期间，SDA数据必须保持稳定。当SCL为高电平并保持稳定时，SDA的变化将产生一个控制信号(请参考START和STOP条件部分)。总线不忙时，SDA和SCL都保持高电平。

START和STOP条件

主机通过START条件(S)启动一次传输，SCL为高电平时SDA从高电平跳变为低电平即产生一个START条件。主机以STOP条件(P)终止传输，SCL为高电平时SDA从低电平跳变为高电平即产生一个STOP条件。

应答和非应答条件

数据传输帧以应答位(ACK)或非应答位(NACK)构成帧。主机和MAX3542(从器件)都会产生应答位，为了产生应答信号，接收器件必须在对应的应答脉冲(第9个脉冲)的上升

沿之前将SDA拉低，并使其在时钟高电平期间保持低电平。

为了产生非应答信号，接收器件在对应的应答脉冲的上升沿之前拉高SDA，并且在时钟脉冲的高电平期间保持SDA为高电平。监测应答位可以检测到失败的数据传输。在接收器件忙或者系统发生故障时，可能导致数据传输失败。数据传输失败时，总线主机必须在稍后重新尝试通信。

从地址

MAX3542具有7位从地址，在START条件后应发送7位从地址以启动通信。从地址由ADDR2和ADDR1引脚的状态决定，为11000[ADDR2][ADDR1]。7位地址之后的第8位(R/ \bar{W})决定进行读操作还是写操作，表15给出了可能的地址配置。

MAX3542连续等待START条件之后的从地址。当器件识别到相应从地址后，会将SDA拉低一个时钟周期进行应答；然后根据R/ \bar{W} 位的状态准备接收或发送数据(图1)。

表 15. MAX3542 地址配置

ADDR2	ADDR1	WRITE ADDRESS	READ ADDRESS
0	0	0xC0	0xC1
0	1	0xC2	0xC3
1	0	0xC4	0xC5
1	1	0xC6	0xC7

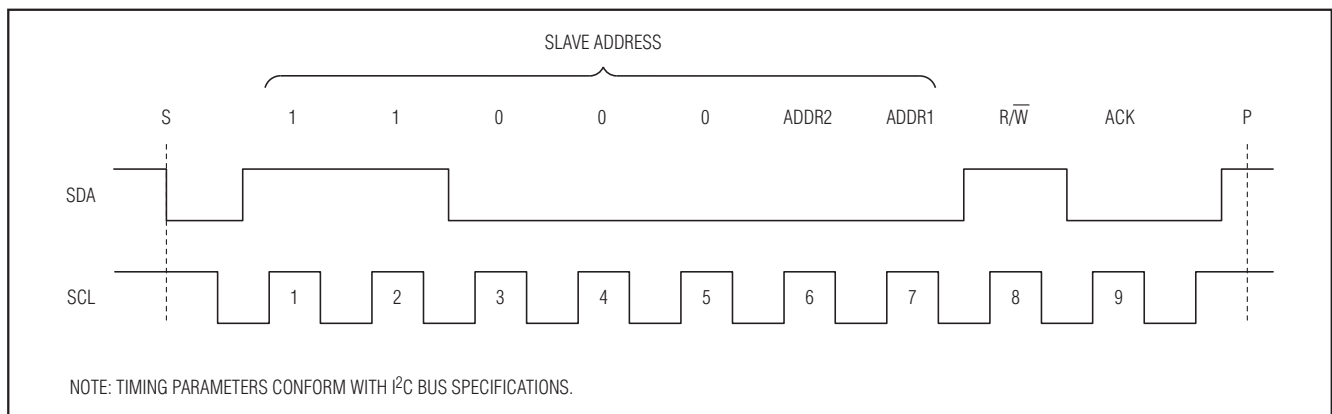


图1. MAX3542从地址字节

完备的一次变频电视调谐器

写周期

读周期

接收到写命令后，MAX3542允许主机对一个寄存器或对多个连续的寄存器进行写操作。

总线主机发出START条件，并随后发送7位从地址和写控制位($R/\bar{W} = 0$)，开始一次写操作。MAX3542在成功接收到从地址字节后发出ACK。然后，总线主机必须将进行写操作的第一个寄存器的地址发送给从器件。如果从器件应答了该地址，主机可以将一个字节写入到该地址指定的寄存器。数据从最高有效位开始写入。如果数据成功写入寄存器，MAX3542会再次发出ACK。主机可以在MAX3542应答每次成功的传输后将数据连续写入内部寄存器，也可以产生STOP条件终止传输。在主机产生STOP条件后终止写操作。

图2给出了寄存器0至2被分别写入0x0E、0xD8和0xE1的示例。

总线主机发出START条件，并随后发送7位从地址和1位写控制位($R/\bar{W} = 0$)，开启一次读操作。MAX3542在成功接收到从地址字节后发出ACK。然后主机发送需要读取的第一个寄存器的8位地址。MAX3542随后产生相应的ACK。接下来，主机发出START条件和随后的7位从地址、1位读控制位($R/\bar{W} = 1$)。MAX3542在成功接收到从地址字节后发出ACK，并开始从指定的寄存器地址发送数据，高位(MSB)在前。数据在SCL的上升沿从MAX3542移出。在第9个SCL的上升沿，主机可以发送ACK以继续读取后续寄存器，或发送NACK和随后的STOP条件终止传输。读周期只有在主机发出STOP条件后才结束。图3给出了从寄存器0和1读取数据的示例。

START	WRITE DEVICE ADDRESS	R/\bar{W}	ACK	WRITE REGISTER ADDRESS	ACK	WRITE DATA TO REGISTER 0x00	ACK	WRITE DATA TO REGISTER 0x01	ACK	WRITE DATA TO REGISTER 0x02	ACK	STOP
	11000[ADDR2][ADDR1]	0	—	0x00	—	0x0E	—	0xD8	—	0xE1	—	

图2. 示例：在寄存器0至2分别写入0x0E、0xD8和0xE1的示例

START	WRITE DEVICE ADDRESS	R/\bar{W}	ACK	WRITE 1ST REGISTER ADDRESS	ACK	START	WRITE DEVICE ADDRESS	R/\bar{W}	ACK	READ DATA REG 0	ACK	READ DATA REG 1	NACK	STOP
	11000[ADDR2][ADDR1]	0	—	0x00	—		11000[ADDR2][ADDR1]	1	—	D7-D0	—	D7-D0	—	

图3. 示例：从寄存器0和1读取数据

完备的一次变频 电视调谐器

应用信息

RF输入

MAX3542具有独立的UHF和VHF输入，匹配到75Ω，两个输入都需要隔直流电容。由输入寄存器选择有效输入。此外，选择VHF输入时，输入寄存器可以使能或禁止低通滤波器。对于47MHz至100MHz频带，选择VHF_IN并使能LPF滤波器(INPT = 00)；对于100MHz至326MHz频带，选择VHF_IN并且LPF禁止(INPT = 01)；对于326MHz至862MHz频带，选择UHF_IN (INPT = 10)。

独立的VHF和UHF输入可以通过双工滤波器由单个RF信号源驱动。关于双工滤波器电路和元件值，请参考MAX3542评估板数据资料。

RF增益控制

RF LNA的增益可以通过RFAGC引脚调节，典型调节范围为45dB。RFAGC输入可接受0.5V至3V的直流电压，3V时具有最大增益。该引脚结合IF功率检测器输出，可以构成闭环RF增益控制，详细信息请参考闭环RF增益控制部分。

RF跟踪滤波器

MAX3542包含可编程跟踪滤波器，针对各个频段优化，提供最佳的带外干扰抑制并最大程度地降低接收信号的插入损耗。每个跟踪滤波器的中心频率由开关电容阵列选择，通过跟踪滤波器串联电容寄存器的TFS[7:0]位和跟踪滤波器并联电容寄存器的TFP[5:0]位进行编程。

由于工艺的原因，不同器件每个通道的最佳跟踪滤波器设置可能不同。为了补偿器件之间的差异，Maxim在每个器件出厂时都进行了校准。校准时，对串联和并联跟踪电容阵列的y截距和斜率进行计算，并将数值写入内部ROM表。上电时，用户应读取ROM表并将数据保存到本地存储器(共8个字节)，以计算每个通道的最佳TFS[7:0]和TFP[5:0]设置，表16给出了每个ROM表的地址和位。关于所需数值的计算，请参考修改跟踪滤波器系数部分。

读ROM表

读取每个ROM表的条目需要两个步骤。第一，将要读取的ROM位的地址编程到跟踪滤波器ROM地址寄存器(表11)的TFA[3:0]位。

地址编程后，存储在该地址的数据被传送到ROM表数据回读寄存器(表13)的TFR[7:0]位。指定地址的ROM数据随后可以从TFR[7:0]位中读取，并存储到微处理器的本地存储器。

表 16. ROM表

DESCRIPTION	ADDRESS	MSB								LSB
		DATA BYTE								
		D7	D6	D5	D4	D3	D2	D1	D0	
Reserved	0x0	OD[2]	OD[1]	OD[0]	X	X	X	X	X	
VHF Low	0x1	LS0[5]	LS0[4]	LS0[3]	LS0[2]	LS0[1]	LS0[0]	LS1[3]	LS1[2]	
VHF Low	0x2	LS1[1]	LS1[0]	LP0[5]	LP0[4]	LP0[3]	LP0[2]	LP0[1]	LP0[0]	
VHF Low VHF High	0x3	LP1[3]	LP1[2]	LP1[1]	LP1[0]	HS0[5]	HS0[4]	HS0[3]	HS0[2]	
VHF High	0x4	HS0[1]	HS0[0]	HS1[3]	HS1[2]	HS1[1]	HS1[0]	HP0[5]	HP0[4]	
VHF High	0x5	HP0[3]	HP0[2]	HP0[1]	HP0[0]	HP1[3]	HP1[2]	HP1[1]	HP1[0]	
UHF	0x6	US0[5]	US0[4]	US0[3]	US0[2]	US0[1]	US0[0]	US1[5]	US1[4]	
UHF	0x7	US1[3]	US1[2]	US1[1]	US1[0]	UP0[5]	UP0[4]	UP0[3]	UP0[2]	
UHF	0x8	UP0[1]	UP0[0]	UP1[5]	UP1[4]	UP1[3]	UP1[2]	UP1[1]	UP1[0]	

完备的一次变频 电视调谐器

修改跟踪滤波器系数

针对每个通道频率，应该重新编程TFS[7:0]和TFP[5:0]位以优化性能。每个通道的最佳设置可以利用ROM表数据通过下式计算：

模拟(PAL)通道：

VHF_LO滤波器：

$$TFS = \text{INT}[10 \left[\left(1.1 \times \frac{LS0}{64} + 2.2 \right) + \left(4 \times \frac{LS1}{16} - 12 \right) \times f_{RF} \times 10^{-3} \right] - 10]$$

$$TFP = \text{INT}[10 \left[\left(0.8 \times \frac{LP0}{64} + 1.6 \right) + \left(8 \times \frac{LP1}{16} - 14 \right) \times f_{RF} \times 10^{-3} \right]]$$

VHF_HI滤波器：

$$TFS = \text{INT}[10 \left[\left(1.3 \times \frac{HS0}{64} + 2.5 \right) + \left(4 \times \frac{HS1}{16} - 8 \right) \times f_{RF} \times 10^{-3} \right] - 10]$$

$$TFP = \text{INT}[10 \left[\left(0.8 \times \frac{HP0}{64} + 1.6 \right) + \left(1.6 \times \frac{HP1}{16} - 3.2 \right) \times f_{RF} \times 10^{-3} \right]]$$

UHF滤波器：

$$TFS = \text{INT}[10 \left[\left(\frac{US0}{64} + 3 \right) + \left(2 \times \frac{US1}{64} - 3 \right) \times f_{RF} \times 10^{-3} \right] - 20]$$

$$TFP = \text{INT}[10 \left[\left(0.8 \times \frac{UP0}{64} + 1.6 \right) + \left(2 \times \frac{UP1}{64} - 2.5 \right) \times f_{RF} \times 10^{-3} \right] - 10]$$

其中：

f_{RF} = 工作频率，单位为兆赫兹。

TFS = 给定工作频率下的优化TFS[7:0]设置(表9)的十进制数。

TFP = 给定工作频率下的优化TFP[5:0]设置(表10)的十进制数。

LS0、LS1、LP0、LP1、HS0、HS1、HP0、HP1、US0、US1、UP0和UP1 = ROM表系数(表16)的十进制数。

数字(DVB-T)通道：

获取DVB-T系数请与工厂联系。

IF过载检测器

MAX3542提供宽带IF过载检测器，可用于指示RF输入的总功率。过载监测器输出电压与基准电压进行比较，并将差值放大。该误差信号驱动集电极开路晶体管，集电极连接到IFOVLD引脚，因此IFOVLD引脚吸收电流。IFOVLD引脚吸入的满量程电流标称值为300 μ A。IFOVLD引脚需要连接一个10k Ω 的上拉电阻至V_{CC}。

IF过载检测器在工厂经过校准，在IFOUT1提供0.7V_{p-p}。上电时，基带处理器应从ROM表读取OD[2:0]，并将其存储到IFOVLD寄存器。

闭环RF增益控制

闭环RF增益控制可通过将IFOVLD输出连接到RFAGC输入实现。如典型应用电路所示，在IFOVLD引脚采用10k Ω 上拉电阻，可得到0.5V至3V范围的标称控制电压。

VCO和VCO分频器选择

MAX3542频率合成器带有三个VCO和八个VCO子频带，保证覆盖2200MHz至4400MHz的VCO频率范围。频率合成器还提供额外的VCO分频器，由VCO寄存器的VDIV[1:0]根据接收通道编程为4、8、16或32。

为确保PLL锁定，应该反复选择VCO和VCO子频带，使每个接收通道获得最合适的VCO和VCO子频带，然后读取LD[2:0]位以确定PLL是否锁定。读数为001至110时，表明PLL被锁定。如果LD[2:0]读数为000，则PLL未锁定，且选择的VCO在调谐范围的下方；应该选择更低的VCO子频带。如果LD[2:0]读数为111，则PLL未锁定，且选择的VCO在调谐范围的上方；应该选择更高的VCO子频带。VCO和VCO子频带设置应该逐渐增大或减小，直至LD[2:0]读数介于001至110范围。

由于VCO子频带的频率重叠，可能存在多个VCO设置都可以调谐到同一通道频率。因此，对于可能存在的不同VCO设置，给定通道的性能应该相似，选择第一个VCO和VCO子频带即可实现锁定。

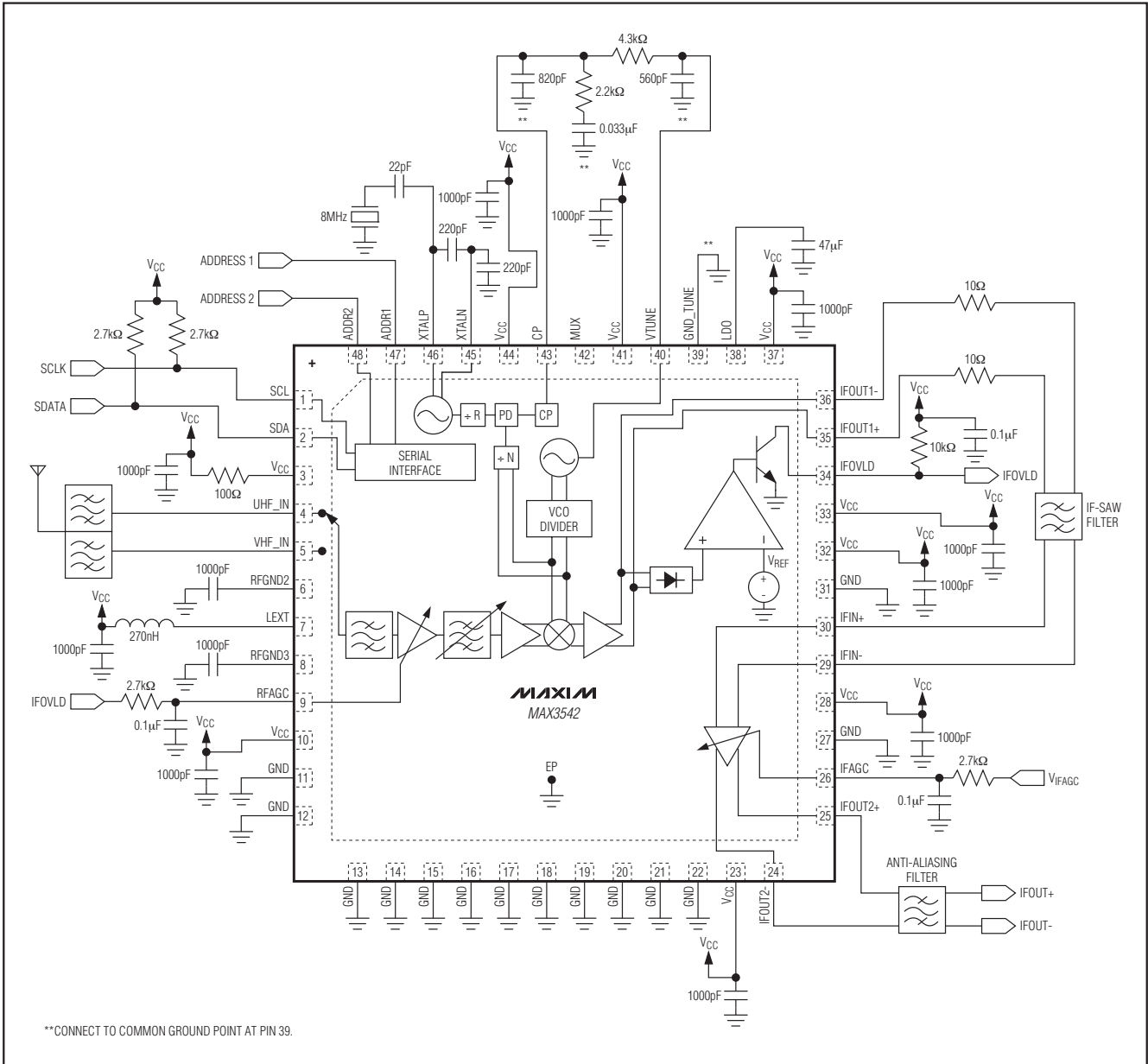
布局考虑

MAX3542评估板提供了一个PCB布局参考。RF信号线要尽可能短，以减小损耗和辐射。所有高频信号须使用阻抗受控引线。为了保证正常工作，裸焊盘必须均匀焊接到电路板的地层。裸焊盘下方使用大量过孔可以达到最佳的散热效果。在RF引线之间使用多个接地过孔，有助于降低干扰信号的耦合。

为减少IC不同电路之间的耦合，理想的电源电压布局应采用星形配置，在V_{CC}节点中心采用大的去耦电容。V_{CC}的各个分支引线由该点引出，每条引线连接到MAX3542不同的V_{CC}引脚。每个V_{CC}引脚应具有旁路电容，在所要求的频点对地具有非常低的阻抗。不同连线不要共用与PCB地层连接的接地过孔。

完备的一次变频 电视调谐器

典型应用电路



芯片信息

PROCESS: BiCMOS

完备的一次变频 电视调谐器

封装信息

如需最近的封装外形信息和焊盘布局，请查询 china.maxim-ic.com/packages。请注意，封装编码中的“+”、“#”或“-”仅表示RoHS状态。封装图中可能包含不同的尾缀字符，但封装图只与封装有关，与RoHS状态无关。

封装类型	封装编码	文档编号
48 LGA-EP	L4877A+1	21-0157

MAX3542

完备的一次变频 电视调谐器

修订历史

修订号	修订日期	说明	修改页
0	11/08	最初版本。	—
1	1/10	更正了电压增益指标和图3中的错误。	3, 15

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话：800 810 0310

电话：010-6211 5199

传真：010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责，也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

20 _____ **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**