

可提供评估板

MAXIM

双/三/四电压、电容调节、
排序/监控电路

概述

MAX16025–MAX16030是二/三/四电压监视和电源排序器，采用小型TQFN封装。该系列器件可以通过逻辑输入选择固定或可调节门限，由外部小尺寸电容设置上电排序时序，具有很大的设计灵活性。这些器件可理想用于各种多电压场合。

当各路被监视的电压高于各自的门限时，经过一段传输延时或一段由电容设置的延时之后，相应的输出变为高电平；当某路被监视电压低于门限时，经过一段传输延时之后，相应的输出变为低电平。每个检测电路都包含有独立的使能输入，可单独关闭电源就绪输出。每路检测器具有独立的推挽或漏极开路输出，漏极开路输出器件能够支持高达28V的电压，能够与各种DC-DC稳压器的关断和使能输入连接。各路检测器可作为4路独立的监控电路工作，或采用菊花链连接，用于电源排序控制。

MAX16025–MAX16030还具有复位功能，只有在所有监控电压均超过各自的门限后，才释放复位信号。复位超时可由内部固定或外部调节。这些器件采用4mm x 4mm、TQFN封装，工作于-40°C至+125°C温度范围。

应用

多电压系统
DC-DC电源
服务器/工作站
存储系统
网络/电信设备

选型指南

PART	MONITORED VOLTAGES	INDEPENDENT OUTPUTS	RESET OUTPUT
MAX16025	2	2 (Open-drain)	Open-drain
MAX16026	2	2 (Push-pull)	Push-pull
MAX16027	3	3 (Open-drain)	Open-drain
MAX16028	3	3 (Push-pull)	Push-pull
MAX16029	4	4 (Open-drain)	Open-drain
MAX16030	4	4 (Push-pull)	Push-pull

特性

- ◆ 2.2V至28V工作电压范围
- ◆ 为3.3V、2.5V、1.8V、1.5V和1.2V系统提供固定门限
- ◆ 精度为1.5%的可调节门限能够监视低至0.5V的电压
- ◆ 整个温度范围内固定门限精度为2.7%
- ◆ 固定(最小140ms)/电容可调节延时
- ◆ 独立的漏极开路/推挽输出
- ◆ 每路监视电压均带有使能输入
- ◆ 9种逻辑可选的门限
- ◆ 手动复位和容限选择(5%/10%)输入
- ◆ 小尺寸、4mm x 4mm TQFN封装
- ◆ 工作于-40°C至+125°C温度范围

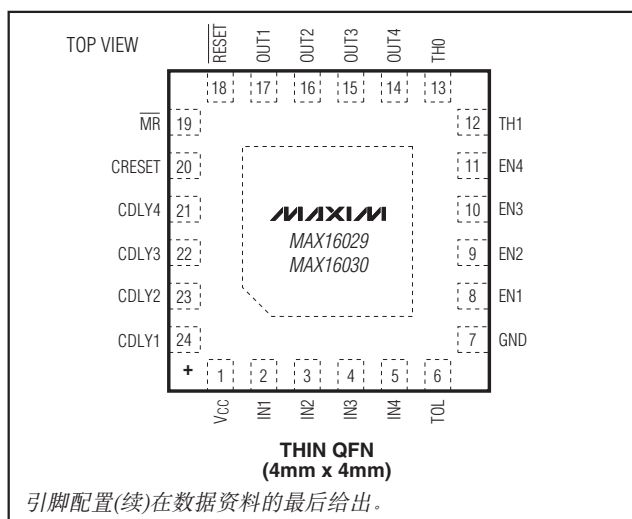
订购信息

PART*	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX16025TE+	-40°C to +125°C	16 TQFN	T1644-4
MAX16026TE+	-40°C to +125°C	16 TQFN	T1644-4
MAX16027TP+	-40°C to +125°C	20 TQFN	T2044-3
MAX16028TP+	-40°C to +125°C	20 TQFN	T2044-3
MAX16029TG+	-40°C to +125°C	24 TQFN	T2444-4
MAX16030TG+	-40°C to +125°C	24 TQFN	T2444-4

+表示无铅封装。

*对于卷带包装，在“+”后加“T”。所有卷带包装均以2.5k单位供货。

引脚配置



MAXIM

Maxim Integrated Products 1

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。

索取免费样品和最新版的数据资料，请访问Maxim的主页：www.maxim-ic.com.cn。

MAX16025–MAX16030

双/三/四电压、电容调节、 排序/监控电路

ABSOLUTE MAXIMUM RATINGS

(All voltages referenced to GND.)

V _{CC}	-0.3V to +30V	CRESET.....	-0.3V to (V _{CC} + 0.3V)
EN1-EN4.....	-0.3V to (V _{CC} + 0.3V)	Input/Output Current (all pins).....	±20mA
OUT1-OUT4 (push-pull).....	-0.3V to (V _{CC} + 0.3V)	Continuous Power Dissipation (T _A = +70°C)	
OUT1-OUT4 (open-drain).....	-0.3V to +30V	16-Pin TQFN (derate 25mW/°C above +70°C).....	2000mW
RESET (push-pull).....	-0.3V to (V _{CC} + 0.3V)	20-Pin TQFN (derate 25.6mW/°C above +70°C).....	2051mW
RESET (open-drain).....	-0.3V to 30V	24-Pin TQFN (derate 27.8mW/°C above +70°C).....	2222mW
IN1-IN4.....	-0.3V to (V _{CC} + 0.3V)	Operating Temperature Range.....	-40°C to +125°C
MR, TOL, TH1, TH0.....	-0.3V to (V _{CC} + 0.3V)	Storage Temperature Range.....	-65°C to +150°C
CDLY1-CDLY4.....	-0.3V to +6V	Junction Temperature.....	+150°C
		Lead Temperature (soldering, 10s).....	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = 2.2V to 28V, T_A = -40°C to +125°C, unless otherwise specified. Typical values are at V_{CC} = 3.3V and T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
SUPPLY						
Operating Voltage Range	V _{CC}	(Note 2)	2.2		28.0	V
Undervoltage Lockout	UVLO	(Note 2)	1.8	1.9	2.0	V
Undervoltage-Lockout Hysteresis	UVLO _{HYST}	V _{CC} falling		50		mV
V _{CC} Supply Current	I _{CC}	All OUT _n and $\overline{\text{RESET}}$ at logic-high (IN _n current excluded)	V _{CC} = 3.3V	40	75	μA
			V _{CC} = 12V	47	75	
			V _{CC} = 28V	52	80	
INPUTS (IN_n)						
IN _n Thresholds (IN _n Falling)	V _{TH}	3.3V threshold, TOL = GND	2.970	3.052	3.135	V
		3.3V threshold, TOL = V _{CC}	2.805	2.888	2.970	
		2.5V threshold, TOL = GND	2.250	2.313	2.375	
		2.5V threshold, TOL = V _{CC}	2.125	2.187	2.250	
		1.8V threshold, TOL = GND	1.620	1.665	1.710	
		1.8V threshold, TOL = V _{CC}	1.530	1.575	1.620	
		1.5V threshold, TOL = GND	1.350	1.387	1.425	
		1.5V threshold, TOL = V _{CC}	1.275	1.312	1.350	
		1.2V threshold, TOL = GND	1.080	1.110	1.140	
Adjustable Threshold (IN _n Falling)	V _{TH}	TOL = GND	0.492	0.5	0.508	V
		TOL = V _{CC}	0.463	0.472	0.481	
IN _n Hysteresis (IN _n Rising)	V _{HYST}			0.5		%
IN _n Input Resistance		Fixed threshold	500	918		kΩ
IN _n Input Current	I _L	Adjustable threshold only (V _{IN_n} = 1V)	-100		+100	nA

双/三/四电压、电容调节、 排序/监控电路

MAX16025-MAX16030

ELECTRICAL CHARACTERISTICS (continued)

($V_{CC} = 2.2V$ to $28V$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise specified. Typical values are at $V_{CC} = 3.3V$ and $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
CRESET AND CDLY_						
CRESET Threshold	$V_{TH-RESET}$	CRESET rising, $V_{CC} = 3.3V$	0.465	0.5	0.535	V
CRESET Charge Current	$I_{CH-RESET}$	$V_{CC} = 3.3V$	380	500	620	nA
CDLY_ Threshold	$V_{TH-CDLY}$	CDLY_ rising, $V_{CC} = 3.3V$	0.95	1	1.05	V
CDLY_ Charge Current	$I_{CH-CDLY}$	$V_{CC} = 3.3V$	200	250	300	nA
DIGITAL LOGIC INPUTS ($\overline{EN_}$, \overline{MR}, TOL, TH1, TH0)						
Input Low Voltage	V_{IL}				0.4	V
Input High Voltage	V_{IH}		1.4			V
TH1, TH0 Logic-Input Floating				0.6		V
TOL, TH1, TH0 Logic-Input Current		$V_{TOL}, V_{TH1}, V_{TH0} = GND$ or V_{CC}	-1		+1	μA
$\overline{EN_}$ Input Leakage Current		$V_{\overline{EN_}} = V_{CC}$ or GND	-100		+100	nA
\overline{MR} Internal Pullup Current		$V_{CC} = 3.3V$	250	535	820	nA
OUTPUTS ($\overline{OUT_}$, \overline{RESET})						
Output Low Voltage (Open-Drain or Push-Pull)	V_{OL}	$V_{CC} \geq 1.2V, I_{SINK} = 90\mu A$			0.3	V
		$V_{CC} \geq 2.25V, I_{SINK} = 0.5mA$			0.3	
		$V_{CC} \geq 4.5V, I_{SINK} = 1mA$			0.35	
Output High Voltage (Push-Pull)	V_{OH}	$V_{CC} \geq 3V, I_{SOURCE} = 500\mu A$	0.8 x V_{CC}			V
		$V_{CC} \geq 4.5V, I_{SOURCE} = 800\mu A$	0.8 x V_{CC}			
Output Leakage Current (Open-Drain)	I_{LKG}	Output not asserted low, $V_{OUT} = 28V$			1	μA
Reset Timeout Period	t_{RP}	CRESET = V_{CC} , $V_{CC} = 3.3V$	140	190	260	ms
		CRESET open		0.030		
TIMING						
$\overline{IN_}$ to $\overline{OUT_}$ Propagation Delay	t_{DELAY+}	$\overline{IN_}$ rising, CDLY_ open		35		μs
	t_{DELAY-}	$\overline{IN_}$ falling, CDLY_ open		20		
$\overline{IN_}$ to \overline{RESET} Propagation Delay	$t_{RST-DELAY}$	$\overline{IN_}$ falling		35		μs
\overline{MR} Minimum Input Pulse Width		(Note 3)	2			μs
$\overline{EN_}$ or \overline{MR} Glitch Rejection				280		ns
$\overline{EN_}$ to $\overline{OUT_}$ Delay	t_{OFF}	From device enabled to device disabled		3		μs
	t_{ON}	From device disabled to device enabled (CDLY_ open)		30		
\overline{MR} to \overline{RESET} Delay		\overline{MR} falling		3		μs

Note 1: Devices are production tested at $T_A = +25^{\circ}C$. Limits over temperature are guaranteed by design.

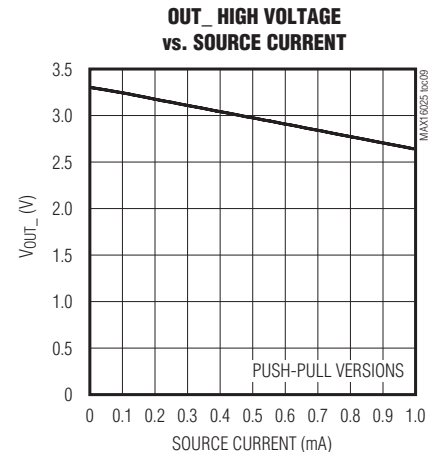
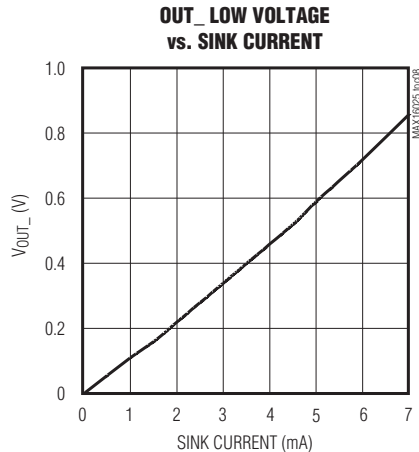
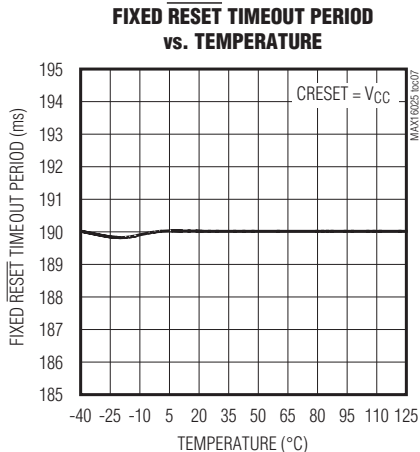
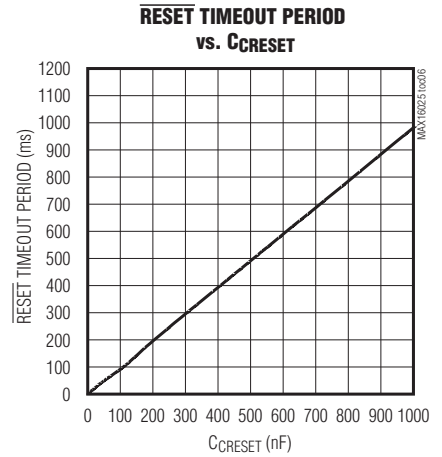
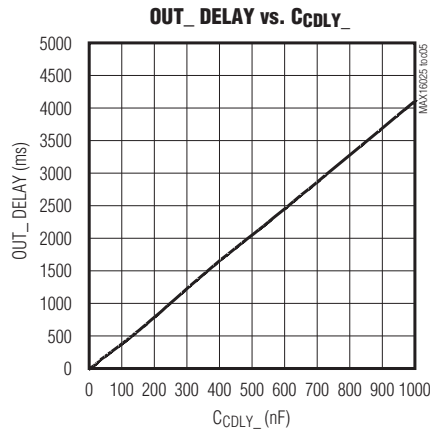
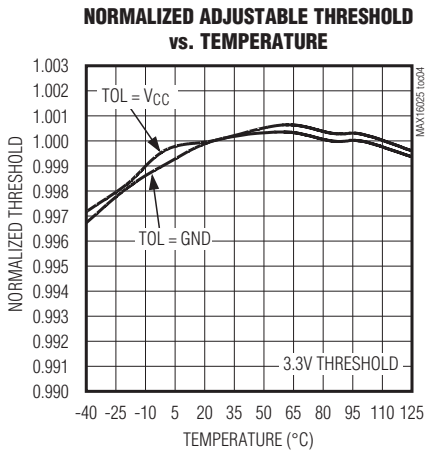
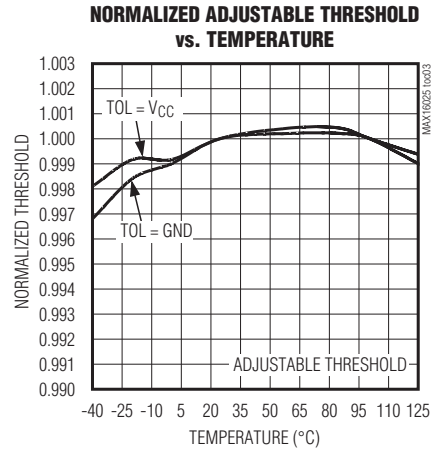
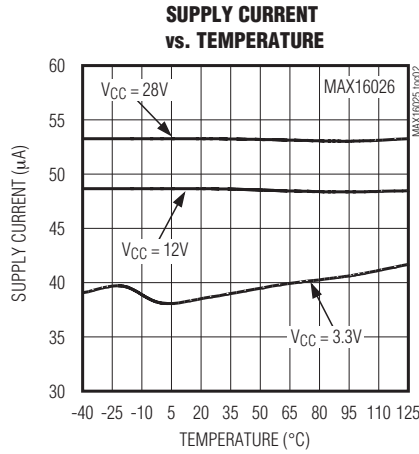
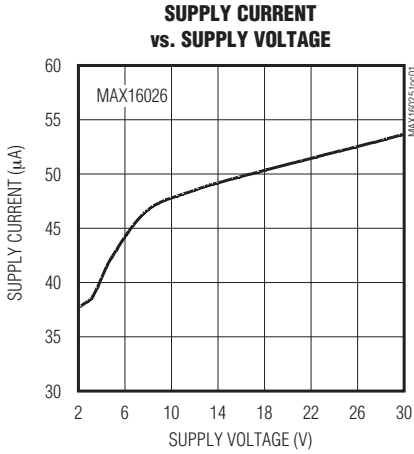
Note 2: Operating below the UVLO causes all outputs to go low. The outputs are guaranteed to be in the correct state for V_{CC} down to 1.2V.

Note 3: In order to guarantee an assertion, the minimum input pulse width must be greater than 2 μs .

双/三/四电压、电容调节、 排序/监控电路

典型工作特性

($V_{CC} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

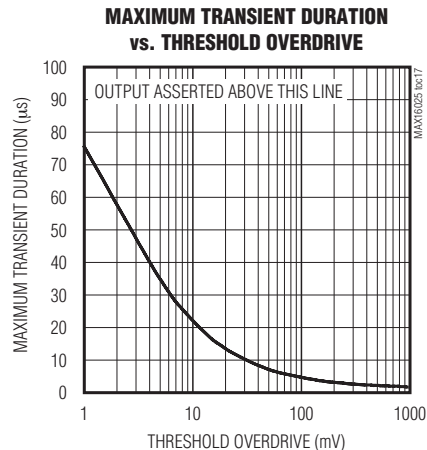
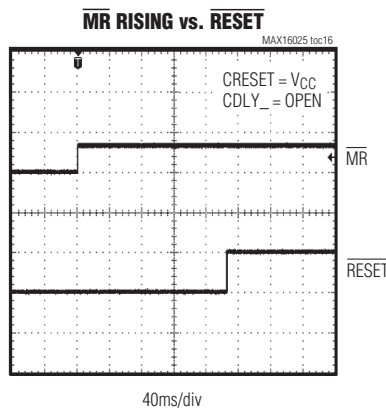
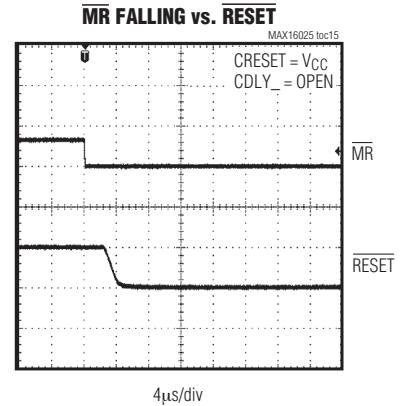
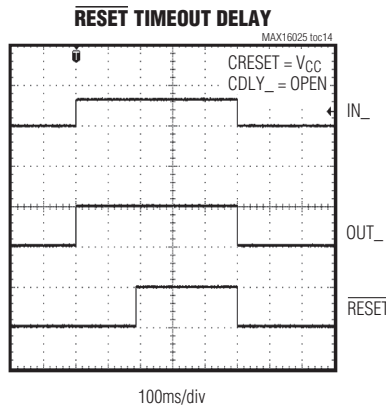
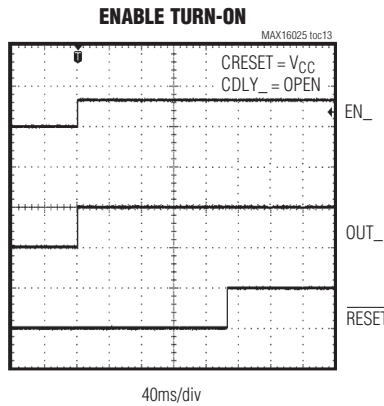
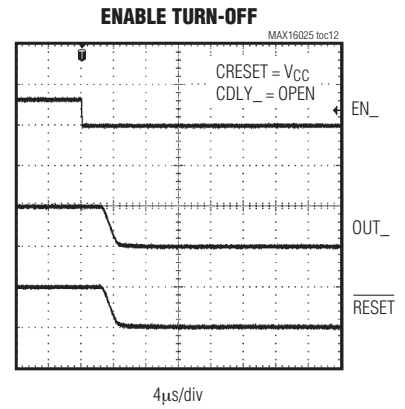
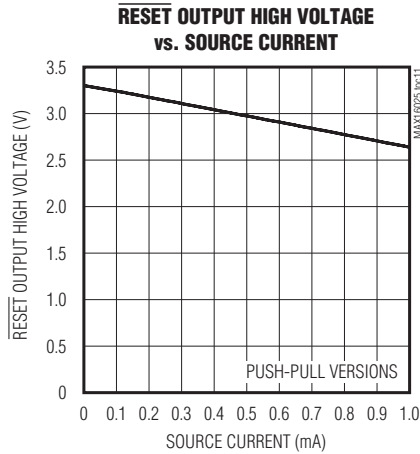
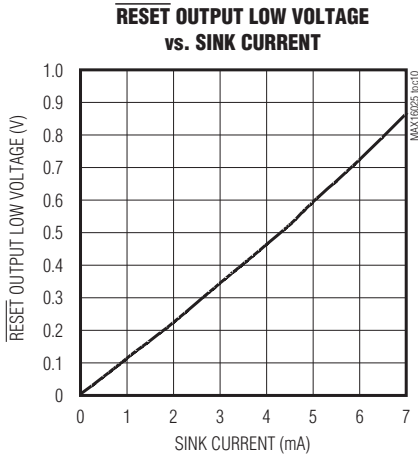


双/三/四电压、电容调节、 排序/监控电路

典型工作特性(续)

($V_{CC} = 3.3V$, $T_A = +25^\circ C$, unless otherwise noted.)

MAX16025-MAX16030



双/三/四电压、电容调节、 排序/监控电路

引脚说明

MAX16025-MAX16030

引脚			名称	功能
MAX16025/ MAX16026	MAX16027/ MAX16028	MAX16029/ MAX16030		
1	1	1	VCC	电源电压输入。连接2.2V至28V的电源为器件供电。当V _{CC} 低于UVLO时，所有输出为低电平。对于嘈杂系统，采用一个0.1μF电容旁路V _{CC} 至地。
2	2	2	IN1	监视输入1。当IN1端电压高于其门限时，经过一段电容可调的延迟之后，OUT1变为高电平。当IN1端电压低于其门限时，经过一段传输延迟之后，OUT1变为低电平。
3	3	3	IN2	监视输入2。当IN2端电压高于其门限时，经过一段电容可调的延迟之后，OUT2变为高电平。当IN2端电压低于其门限时，经过一段传输延迟之后，OUT2变为低电平。
—	4	4	IN3	监视输入3。当IN3端电压高于其门限时，经过一段电容可调的延迟之后，OUT3变为高电平。当IN3端电压低于其门限时，经过一段传输延迟之后，OUT3变为低电平。
—	—	5	IN4	监视输入4。当IN4端电压高于其门限时，经过一段电容可调的延迟之后，OUT4变为高电平。当IN4端电压低于其门限时，经过一段传输延迟之后，OUT4变为低电平。
4	5	6	TOL	门限容限输入。连接TOL至GND时，选择低于标称值5%作为容限。连接TOL至V _{CC} 时，选择低于标称值的10%作为容限。
5	6	7	GND	地。
6	7	8	EN1	高电平有效逻辑使能输入1。不管输入电压多大，驱动EN1至低电平，相应的OUT1变为低电平。驱动EN1至高电平，以使能监视比较器。
7	8	9	EN2	高电平有效逻辑使能输入2。不管输入电压多大，驱动EN2至低电平，相应的OUT2变为低电平。驱动EN2至高电平，以使能监视比较器。
—	9	10	EN3	高电平有效逻辑使能输入3。不管输入电压多大，驱动EN3至低电平，相应的OUT3变为低电平。驱动EN3至高电平，以使能监视比较器。
—	—	11	EN4	高电平有效逻辑使能输入4。不管输入电压多大，驱动EN4至低电平，相应的OUT4变为低电平。驱动EN4至高电平，以使能监视比较器。
8	10	12	TH1	门限选择输入1。将TH1连接至V _{CC} 或GND、或悬空，结合TH0选择输入电压门限(见表2)。
9	11	13	TH0	门限选择输入0。将TH0连接至V _{CC} 或GND、或悬空，结合TH1选择输入电压门限(见表2)。
—	—	14	OUT4	输出4。当IN4上的电压低于其门限或EN4为低电平时，OUT4输出为低。
—	12	15	OUT3	输出3。当IN3上的电压低于其门限或EN3为低电平时，OUT3输出为低。
10	13	16	OUT2	输出2。当IN2上的电压低于其门限或EN2为低电平时，OUT2输出为低。

双/三/四电压、电容调节、 排序/监控电路

引脚说明(续)

MAX16025-MAX16030

引脚			名称	功能
MAX16025/ MAX16026	MAX16027/ MAX16028	MAX16029/ MAX16030		
11	14	17	OUT1	输出1。当IN1上的电压低于其门限或EN1为低电平时，OUT1输出为低。
12	15	18	$\overline{\text{RESET}}$	低电平有效复位输出。当任意一个被监视的电压(IN _n)低于各自的门限，任意一个EN _n 变为低电平，或MR置低时， $\overline{\text{RESET}}$ 置为低电平。所有被监视的电压都超过其各自的门限，所有EN _n 为高电平，所有OUT _n 为高电平，同时MR释放之后， $\overline{\text{RESET}}$ 仍将保持一个复位超时周期的低电平。
13	16	19	$\overline{\text{MR}}$	低电平有效手动复位输入。拉低 $\overline{\text{MR}}$ 时， $\overline{\text{RESET}}$ 将被置为低电平。在 $\overline{\text{MR}}$ 释放后(所有OUT _n 为高电平)，在复位超时时间内 $\overline{\text{RESET}}$ 仍然保持低电平。
14	17	20	CRESET	电容可调复位延迟输入。CRESET和GND之间接一个外部电容，用来设置复位超时时间，连接CRESET至V _{CC} 时，缺省设置为最小复位超时时间140ms。CRESET悬空时，使用内部传输延迟。
—	—	21	CDLY4	电容可调的延迟输入4。CDLY4和GND之间接一个外部电容，用于设置IN4和OUT4 (以及EN4和OUT4)之间的延迟时间。CDLY4悬空时，使用内部传输延迟。
—	18	22	CDLY3	电容可调的延迟输入3。CDLY3和GND之间接一个外部电容，用于设置IN3和OUT3 (以及EN3和OUT3)之间的延迟时间。CDLY3悬空时，使用内部传输延迟。
15	19	23	CDLY2	电容可调的延迟输入2。CDLY2和GND之间接一个外部电容，用于设置IN2和OUT2 (以及EN2和OUT2)之间的延迟时间。CDLY2悬空时，使用内部传输延迟。
16	20	24	CDLY1	电容可调的延迟输入1。CDLY1和GND之间接一个外部电容，用于设置IN1和OUT1 (以及EN1和OUT1)之间的延迟时间。CDLY1悬空时，使用内部传输延迟。
—	—	—	EP	裸露焊盘。EP内部连接至GND。EP连接至地层。

表1. 输出状态*

EN _n	IN _n	OUT _n
Low	V _{IN_n} < V _{TH}	Low
High	V _{IN_n} < V _{TH}	Low
Low	V _{IN_n} > V _{TH}	Low
High	V _{IN_n} > V _{TH}	OUT _n = high (MAX16026/MAX16028/ MAX16030)
		OUT _n = high impedance (MAX16025/MAX16027/ MAX16029)

*当V_{CC}低于UVLO时，无论EN_n和V_{IN_n}处于何种状态，所有输出均变为低电平。V_{CC}低至1.2V时，仍可保证正确输出。

表2. 输入电压门限选择

TH1/TH0 LOGIC	IN1 (ALL VERSIONS) (V)	IN2 (ALL VERSIONS) (V)	IN3 (MAX16027/ MAX16028) (V)	IN4 (MAX16029/ MAX16030) (V)
Low/Low	3.3	2.5	1.8	1.5
Low/High	3.3	1.8	Adj	Adj
Low/Open	3.3	1.5	Adj	Adj
High/Low	3.3	1.2	1.8	2.5
High/High	2.5	1.8	Adj	Adj
High/Open	3.3	Adj	2.5	Adj
Open/Low	3.3	Adj	Adj	Adj
Open/High	2.5	Adj	Adj	Adj
Open/Open	Adj	Adj	Adj	Adj

双/三/四电压、电容调节、 排序/监控电路

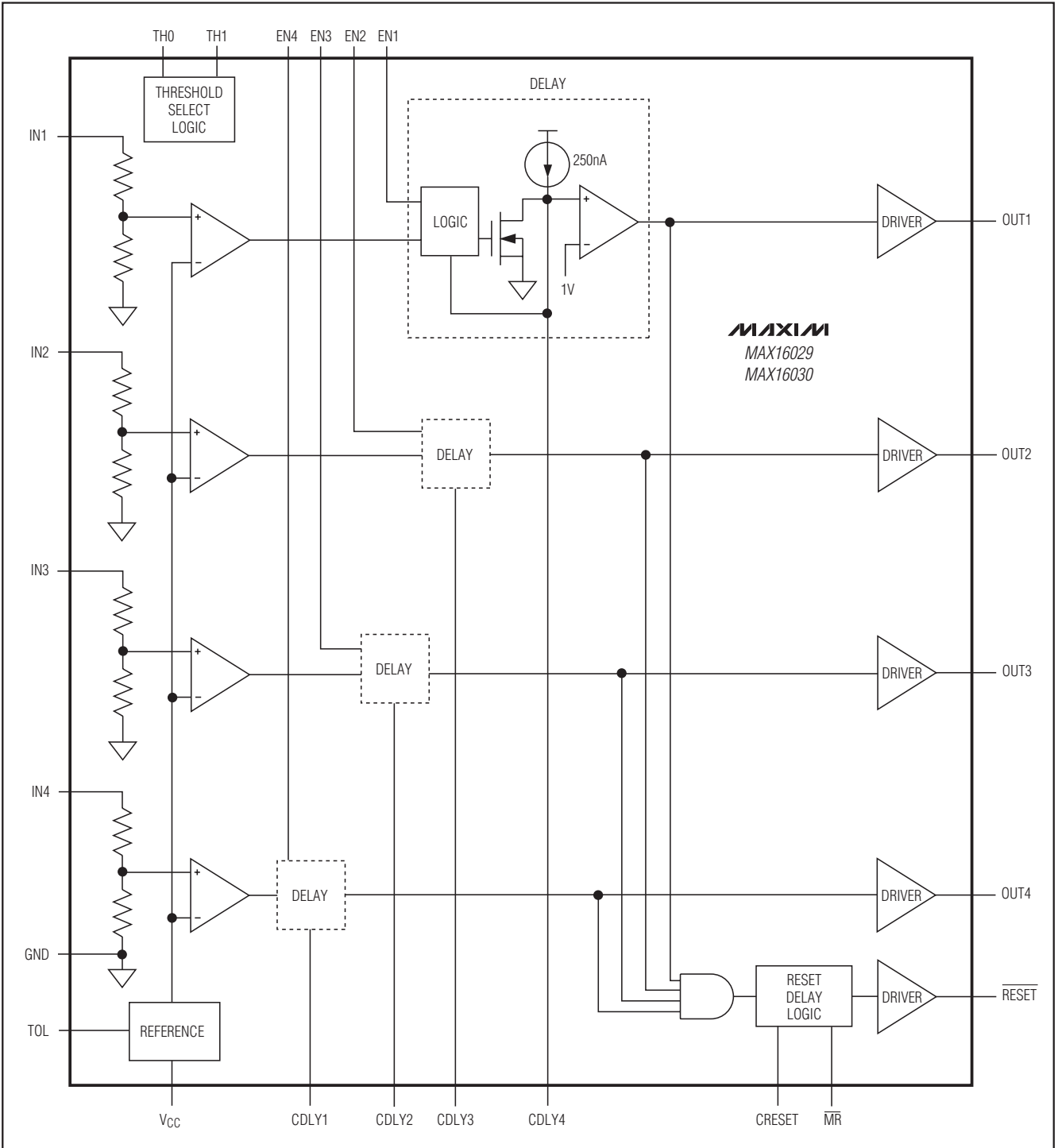


图1. 简化的MAX16029/MAX16030功能框图

双/三/四电压、电容调节、 排序/监控电路

MAX16025-MAX16030

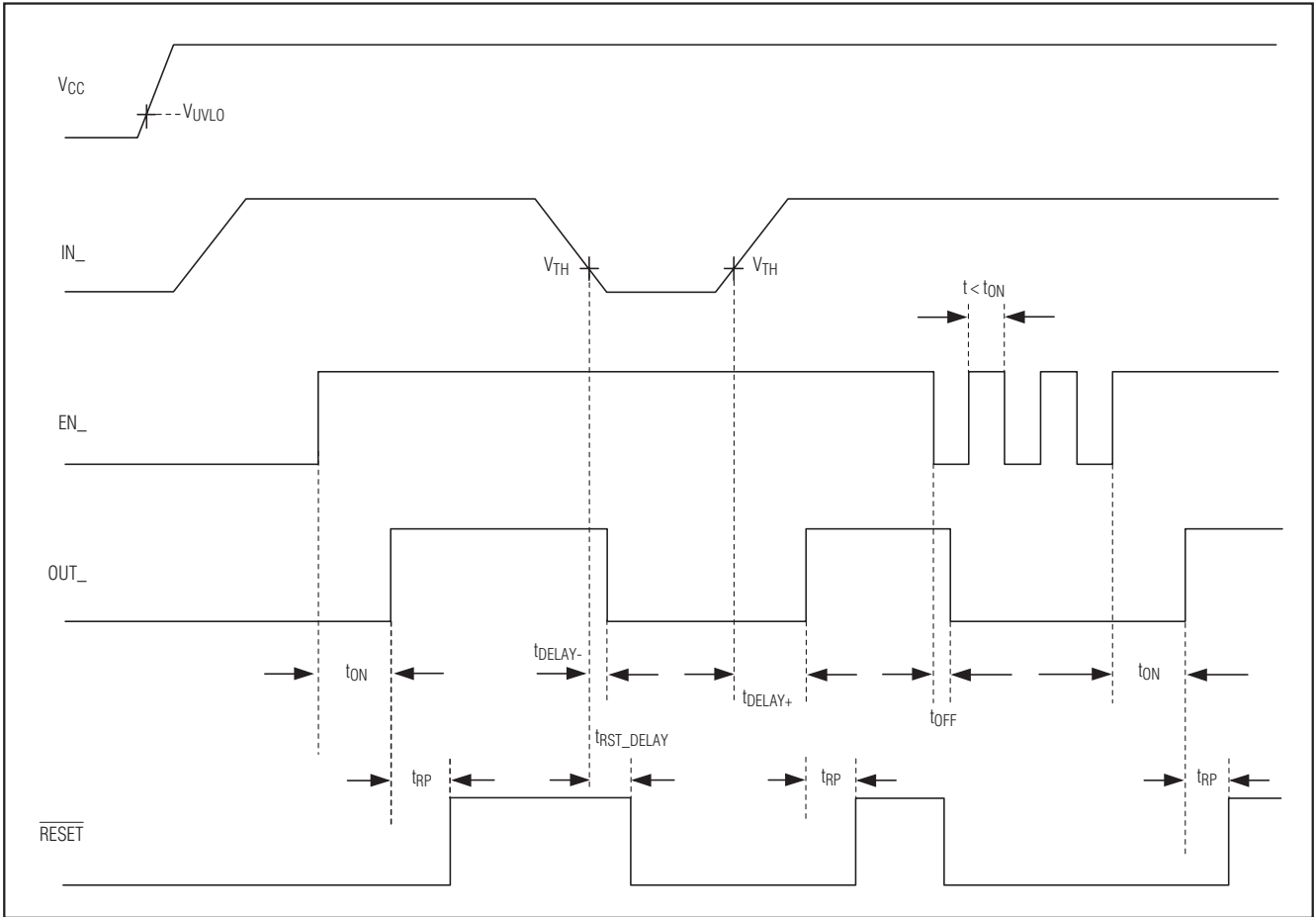


图2. 时序图(CDLY_悬空)

详细说明

MAX16025-MAX16030是低压、精确的二/三/四电压微处理器(μP)监控器，采用小型TQFN封装。这些器件可为复杂的多电压系统提供监控和排序功能。MAX16025/MAX16026可监视两路电压，MAX16027/MAX16028可监视三路电压，且MAX16029/MAX16030可监视四路电压。

MAX16025-MAX16030可为各路监视电压提供独立的输出和使能功能。在上电初始化期间，这种配置允许器件作为4路独立的监控电路工作，也可采用菊花链连接，以实

现电源排序控制。当所有被监视的电压高于各自的门限时，独立的复位输出变高，使能系统处理器工作。

这些器件通过两个逻辑输入选择九种不同的门限，具有极大的灵活性。每个监视电路还具有独立的使能输入，允许对每个监视输出进行数字和模拟控制。容限选择输入使这些器件可以用于需要5%或10%电源容限的系统。此外，时间延迟和复位超时可采用小尺寸电容进行调节，还具有固定的140ms最小复位超时。

双/三/四电压、电容调节、 排序/监控电路

应用信息

容限

MAX16025-MAX16030具有引脚可选的门限容差。连接TOL至GND时，选择低于标称值5%的门限。连接TOL至V_{CC}时，选择低于标称电压值10%的门限。不要将TOL悬空。

可调输入

该系列器件有多种监视选项，可选择固定和/或可调复位门限(参见表2)。对于可调的门限输入，各个可调IN₋输入上的门限电压(V_{TH})通常为0.5V (TOL = GND)或0.472V (TOL = V_{CC})。为监视电压V_{IN₋}，按图3所示连接电阻分压网络，并用下列公式来计算门限电压：

$$V_{IN₋} = V_{TH} \times \left(1 + \frac{R1}{R2}\right)$$

选取适当的外部电阻，以在精度和功耗之间取得平衡。电压监视器的输入是高阻输入，具有100nA的低漏电流。该漏电流会对门限电压(输出报警时的门限值)的总误差产生影响。引入的误差与设置门限的电阻值成正比。电阻值越低，误差越小；但电阻上的功耗会相应增加。

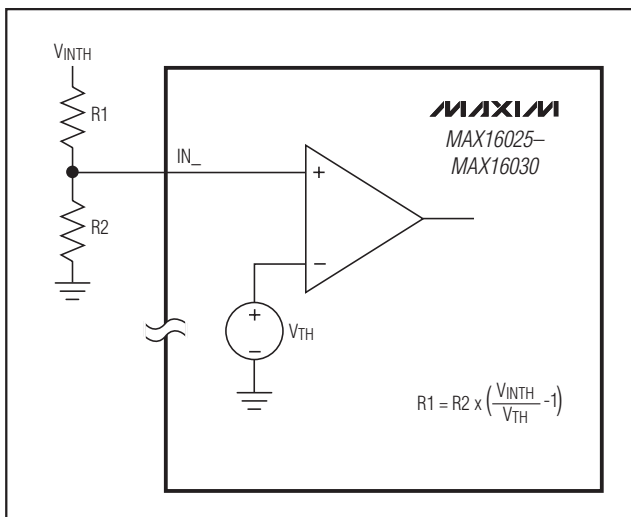


图3. 设置可调输入

利用下列公式，根据可接受的误差值估算电阻值：

$$R1 = \frac{e_A \times V_{IN₋}}{I_L}$$

其中，电阻分压器的最大可接受绝对误差中，由输入漏电流引入的那部分误差用e_A表示(±1%用0.01表示)；V_{IN₋}是输出(OUT₋)报警时对应的电压；I_L是最坏情况下的IN₋漏电流(参见*Electrical Characteristics*)。根据下列公式计算R2：

$$R2 = \frac{V_{TH} \times R1}{V_{IN₋} - V_{TH}}$$

不用的输入端

连接所有不用的IN₋和EN₋输入至V_{CC}。

OUT₋输出

当IN₋输入电压低于设定的门限、或当EN₋变为低电平时，相应的OUT₋变为低电平(参见表1)。EN₋为高电平且V_{IN₋}超过其门限之后，OUT₋经过一个时间延迟后变为高电平。MAX16025/MAX16027/MAX16029为开漏输出，MAX16026/MAX16028/MAX16030则为推挽输出。开漏输出需要外接上拉电阻到0至28V电源。

RESET输出

当任意一个被监视的电压(IN₋)低于门限值、任意一个EN₋变为低电平、或MR有效时，RESET被置为低电平。所有被监视的电压高于各自门限、所有EN₋变为高电平、所有OUT₋变为高电平，以及MR释放后，RESET仍将保持一个复位超时周期的低电平。MAX16025/MAX16027/MAX16029具有漏极开路、低电平有效复位输出；而MAX16026/MAX16028/MAX16030则为推挽式、低电平有效复位输出。漏极开路RESET需要外接上拉电阻到0至28V电源。

可调的复位超时时间 (CRESET)

连接CRESET至V_{CC}时，所有器件均提供内部固定的复位超时(最小值140ms)。该复位超时还可通过连接在CRESET和GND之间的电容进行调节。当CRESET端电压达0.5V时，RESET变为高电平。RESET为高电平后，CRESET立即变为低电平。

双/三/四电压、电容调节、 排序/监控电路

按照下列公式计算复位超时时间：

$$t_{RP} = \frac{V_{TH-RESET}}{I_{CH-RESET}} \times C_{CRESET} + 35 \times 10^{-6}$$

其中， $V_{TH-RESET}$ 为0.5V， $I_{CH-RESET}$ 为0.5 μ A， t_{RP} 的单位为秒，而 C_{CRESET} 的单位为法拉。为了保证时序的准确性和正常工作，应尽量减小 C_{CRESET} 的漏电流。

可调延时(CDLY_)

当 V_{IN} 高于 V_{TH} 、且 $EN_$ 为高电平时，内部250nA电流源开始向CDLY_和GND之间连接的外部电容充电。当CDLY_端的电压达到1V时，OUT_变为高电平。OUT_变为高电平后，CDLY_立即变为低电平。按照下列公式，调节 V_{IN} 上升到 V_{TH} ($EN_$ 为高时)至OUT_变为高电平之间的延迟(t_{DELAY})。

$$t_{DELAY} = \frac{V_{TH-CDLY}}{I_{CH-CDLY}} \times C_{CDLY} + 35 \times 10^{-6}$$

其中， $V_{TH-CDLY}$ 为1V， $I_{CH-CDLY}$ 为0.25 μ A， C_{CDLY} 的单位为法拉， t_{DELAY} 的单位为秒， t_{DELAY+} 是器件内部传输延迟。为了保证时序的准确性和正常工作，应尽量减小CDLY端的漏电流。

手动复位输入(\overline{MR})

许多基于 μ P的产品需要手动复位功能，以便允许操作人员、测试人员或外部逻辑电路启动复位。 \overline{MR} 为逻辑低电平时，将 \overline{RESET} 置为低电平。 \overline{MR} 为低电平以及 \overline{MR} 变为高电平之后的复位超时周期(140ms固定或电容可调)内， \overline{RESET} 保持有效。 \overline{MR} 输入具有500nA内部上拉，不用时可以悬空。可使用TTL或CMOS逻辑电平、或漏极/集电极开路输出驱动 \overline{MR} 。在 \overline{MR} 至GND之间连接一个常开的触摸式开关，实现手动复位功能，无需外部去抖电路。如

果使用长电缆驱动 \overline{MR} ，或将器件置于嘈杂环境下使用，可以在 \overline{MR} 和GND之间连接一个0.1 μ F电容，以抑制噪声。

上拉电阻值

开漏输出的上拉电阻值并无严格要求，但仍需要慎重，确保在器件吸入电流时具有正确的逻辑电平。例如，如果 $V_{CC} = 2.25V$ 、且上拉电压为28V，吸入电流要保持小于0.5mA (如*Electrical Characteristics*表所示)。因此，上拉电阻应大于56k Ω 。对于12V上拉电压，上拉电阻应大于24k Ω 。注：吸入电流的大小取决于 V_{CC} 电源电压。

电源旁路

器件工作在2.2V至28V的 V_{CC} 电源电压下。当 V_{CC} 低于UVLO门限时，所有输出变为低电平，并且在 V_{CC} 低于1.2V之前一直保持低电平。对于嘈杂系统或 V_{CC} 快速上升的瞬变系统， V_{CC} 和GND之间应连接一个0.1 μ F的陶瓷电容，并尽可能靠近器件放置，以提供更好的噪声和瞬态抑制。

V_{CC} 降至0V时确保输出有效 (仅MAX16026/MAX16028/MAX16030)

当 V_{CC} 低于1.2V时，输出吸收电流的能力下降。为了确保 V_{CC} 降至0V时输出仍旧有效，在OUT/ \overline{RESET} 和GND之间连接一个100k Ω 的电阻。

典型应用电路

图4和图5所示为MAX16025-MAX16030的典型应用电路。在高电源电压应用中，采用n沟道器件可以降低MOSFET的损耗，因为MOSFET具有较低的漏-源导通电阻。然而，n沟道MOSFET需要足够大的 V_{GS} 电压，保证器件完全导通以实现较低的 R_{DS_ON} 。图4中给出了MAX16027在多输出电压排序中的应用。图5所示为电源电压排序中使用MAX16029以及n沟道MOSFET的应用电路。

双/三/四电压、电容调节、 排序/监控电路

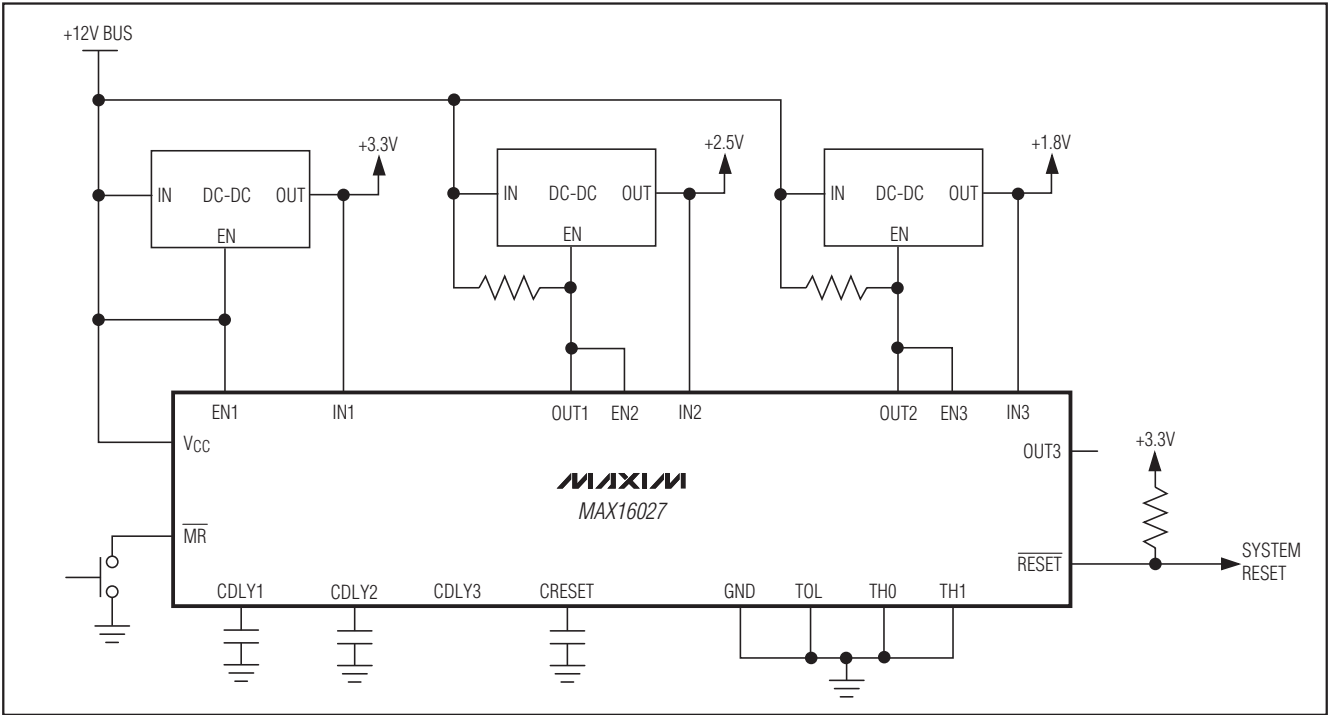


图4. 多电压系统排序

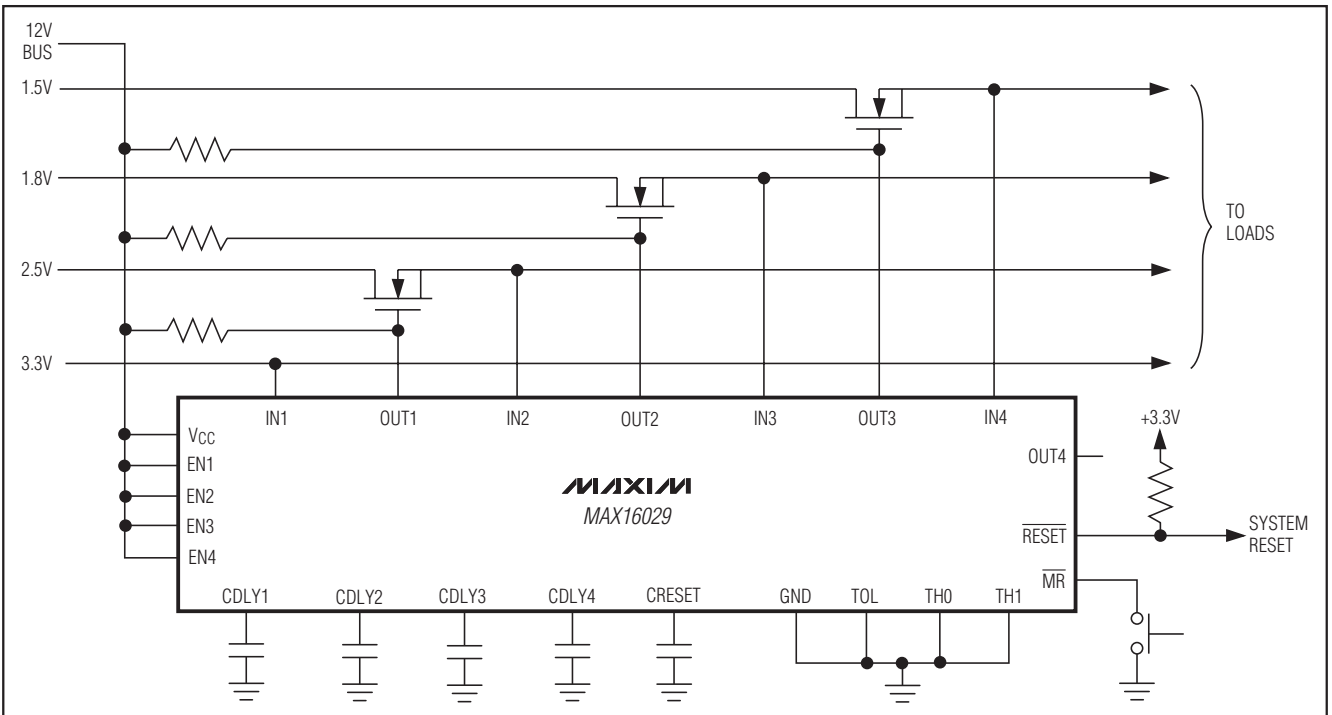
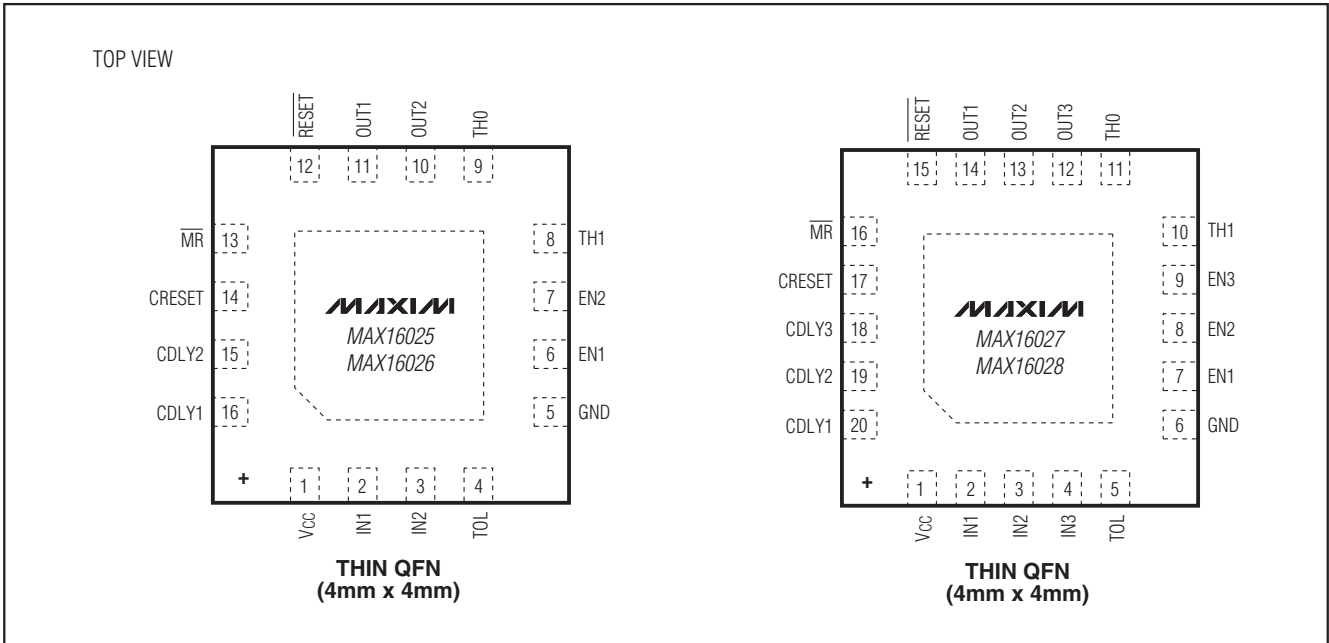


图5. 采用n沟道FET的多电压排序

双/三/四电压、电容调节、 排序/监控电路

引脚配置(续)

MAX16025-MAX16030



芯片信息

PROCESS: BICMOS

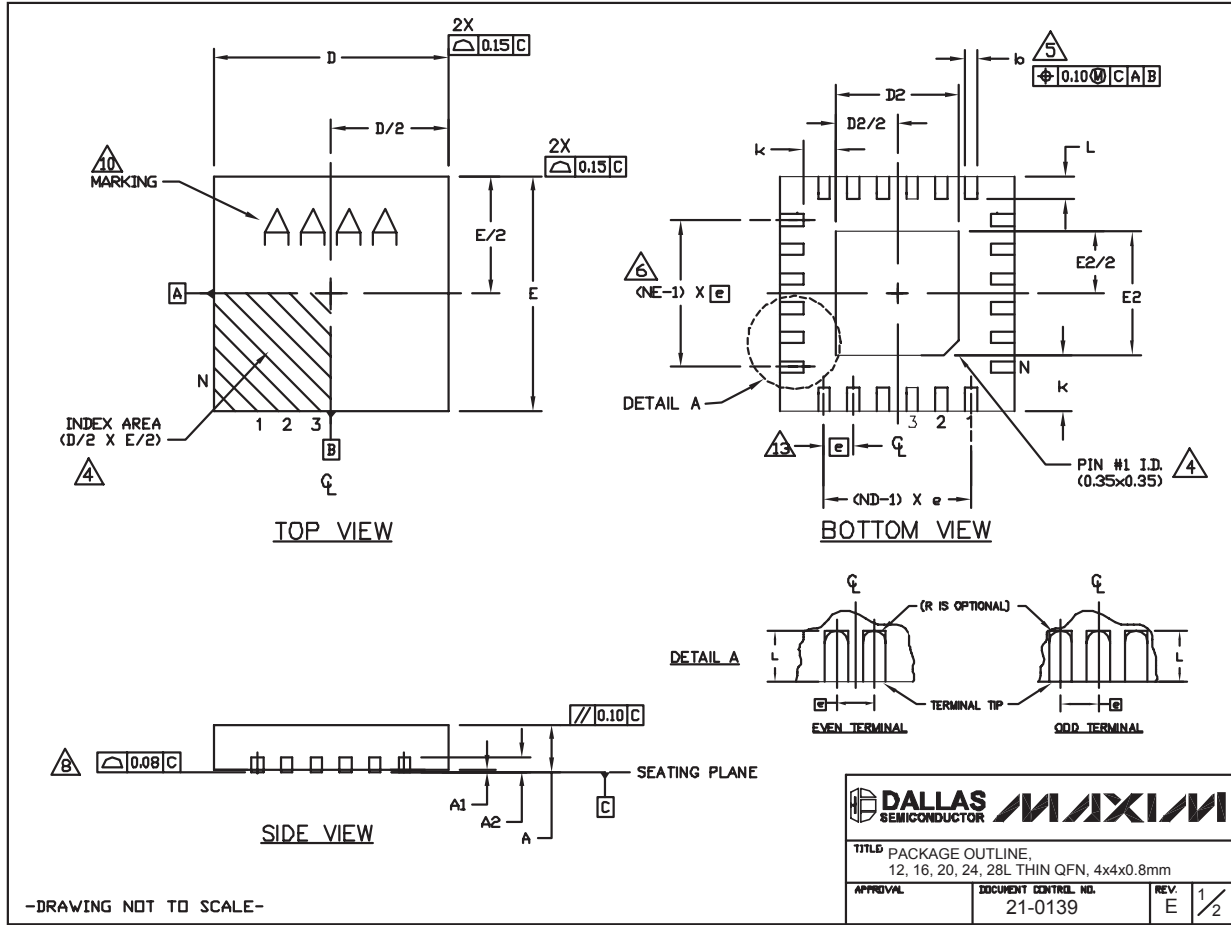
TRANSISTOR COUNT: 3642

双/三/四电压、电容调节、 排序/监控电路

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外形信息，请查询 www.maxim-ic.com.cn/packages.)

MAX16025-MAX16030



24L QFN THIN.EPS

-DRAWING NOT TO SCALE-

双/三/四电压、电容调节、 排序/监控电路

封装信息(续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外形信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX16025-MAX16030

COMMON DIMENSIONS													EXPOSED PAD VARIATIONS												
PKG REF.	12L 4x4			16L 4x4			20L 4x4			24L 4x4			28L 4x4			PKG CODES	D2			E2			DOWN BONDS ALLOWED		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.		MIN.	NOM.	MAX.	MIN.	NOM.	MAX.			
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	T1244-3	1.95	2.10	2.25	1.95	2.10	2.25	YES		
A1	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	0.0	0.02	0.05	T1244-4	1.95	2.10	2.25	1.95	2.10	2.25	NO		
A2	0.20 REF			0.20 REF			0.20 REF			0.20 REF			0.20 REF			T1644-3	1.95	2.10	2.25	1.95	2.10	2.25	YES		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.18	0.23	0.30	0.15	0.20	0.25	T1644-4	1.95	2.10	2.25	1.95	2.10	2.25	NO		
D	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-2	1.95	2.10	2.25	1.95	2.10	2.25	YES		
E	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	3.90	4.00	4.10	T2044-3	1.95	2.10	2.25	1.95	2.10	2.25	NO		
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.			0.40 BSC.			T2444-2	1.95	2.10	2.25	1.95	2.10	2.25	YES		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-	T2444-3	2.45	2.60	2.63	2.45	2.60	2.63	YES		
L	0.45	0.55	0.65	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50	0.30	0.40	0.50	T2444-4	2.45	2.60	2.63	2.45	2.60	2.63	NO		
N	12			16			20			24			28			T2844-1	2.50	2.60	2.70	2.50	2.60	2.70	NO		
ND	3			4			5			6			7												
NE	3			4			5			6			7												
JeDEC Ver.	VGG3			VGGC			WGGD-1			WGGD-2			WGGE												

NOTES:

- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS, ANGLES ARE IN DEGREES.
- N IS THE TOTAL NUMBER OF TERMINALS.
- THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
- DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- DRAWING CONFORMS TO JEDEC MO220, EXCEPT FOR T2444-3, T2444-4 AND T2844-1.
- MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
- COPLANARITY SHALL NOT EXCEED 0.08mm
- WARPAGE SHALL NOT EXCEED 0.10mm
- LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "e", ±0.05.
- NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY

-DRAWING NOT TO SCALE-

TITLE PACKAGE OUTLINE, 12, 16, 20, 24, 28L THIN QFN, 4x4x0.8mm			
APPROVAL	DOCUMENT CONTROL NO.	REV.	
	21-0139	E	2/2

修订历史

Rev 1中的修改页: 1、3、15。

Maxim北京办事处

北京 8328信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6211 5199

传真: 010-6211 5299

Maxim不对Maxim产品以外的任何电路使用负责, 也不提供其专利许可。Maxim保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600 15