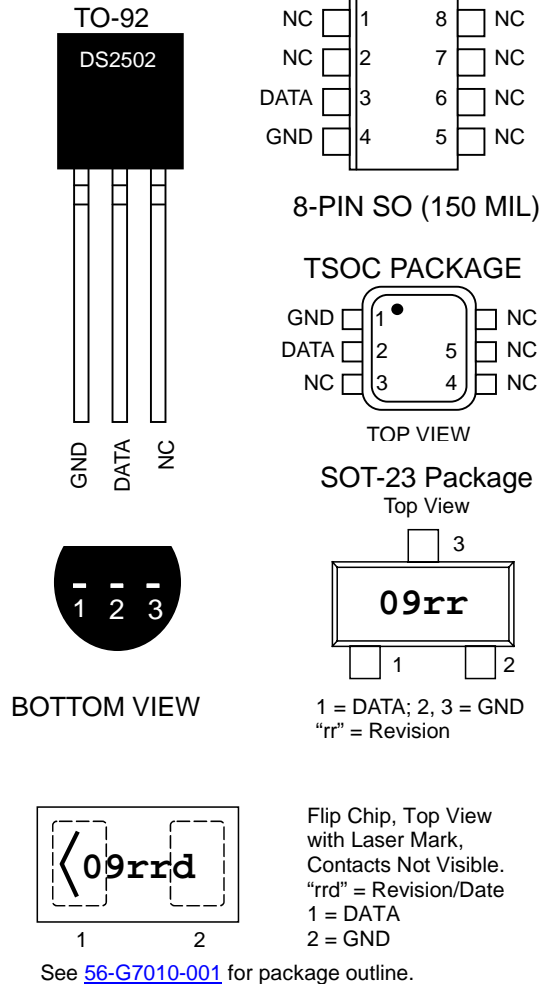


特性

- 1024 位电可编程只读存储器 (EPROM)，采用更为经济的单根信号线加地线的接口方式
- 工厂激光刻度的、唯一经过测试的 64 位注册码 (8 位家族码 + 48 位序列码 + 8 位 CRC 校验码)，确保准确跟踪每个器件，因为每个器件的注册码不可能相同
- 内置多点控制器，保证兼容于其它 MicroLAN 产品
- EPROM 划分为四个 256 位页面，用于随机存贮数据包
- 为防止数据丢失，每个存储页均可进行永久性的写保护
- 该芯片具有“只添加”存储功能，当在 EPROM 内存贮其他数据时，也不会破坏已有数据
- 结构设计上允许软件来对一个旧存贮页进行修补数据，而不需要新打开一个可编程页
- 将控制线、地址线、数据线、电源和可编程信号线减少至一条线
- 直接与微处理器的一个口线连接、通信速率可达 16.3kbps
- 8 位家族码通知读写器按照 DS2502 要求进行通信
- 当读写器首次上电时进行在线检测应答
- 低成本 TO-92 或 8 引脚 SO、SOT-23 (3 引脚)、TSOC 表面贴封装和倒装片
- 在-40°C 至+85°C 温度范围内，读取数据电压范围为 2.8V 至 6.0V；在-40°C 至 +50°C 温度范围内，编程电压为 11.5V 至 12.0V 范围

引脚排列



注：卷带中TO-92 封装的引脚间隔近似为 100mil (2.54mm)，详细信息请参考[56-G0006-003](#)图。

## 订购信息

型号	无铅封装	说明
DS2502	DS2502+	TO-92 封装
DS2502/T&R	DS2502+T&R	TO-92 封装, 2k 卷带包装
DS2502R/T&R	DS2502R+T&R	3 引脚 SOT-23 封装, 3k 卷带包装
DS2502P	DS2502P+	6 引脚 TSOC 封装
DS2502P/T&R	DS2502P+T&R	TSOC 表面贴封装, 4k 卷带包装
DS2502S	DS2502S+	8 引脚 SOIC 封装
DS2502S/T&R	DS2502S+T&R	8 引脚 SOIC 封装, 2.5k 卷带包装
DS2502X1		晶片级封装, 10k 卷带包装

+表示无铅封装。

## 硅标签说明

DS2502 为 1k 位只添加存储器，可以识别和存储与产品相关的信息。这个标签或特殊产品的信息可以通过最少的接口访问，例如微控制器的一个端口引脚。DS2502 由一个工厂刻度的注册码，其中包括：48 位唯一序列码、8 位 CRC 校验码和 8 位家族码（09h），以及 1k 位的用户可编程 EPROM 组成。DS2502 进行编程和读取操作的电源全部来自于 1-Wire<sup>®</sup> 通信线。

采用 1-Wire 协议，即仅通过一条信号线和一条地线，实现数据的串行传输。可以对整个器件进行编程，并根据需要加入写保护。也可以采用顺序编程该器件，多次编程添加新的数据，而不是覆盖已有的数据。注意：每位只能由逻辑 1 编程为逻辑 0，但永远不能从逻辑 0 改为逻辑 1。当某页或某些页不再有效时，他们可以被那些驻留在其它页面地址的新数据或更新数据所取代，这种页面地址重定向功能允许软件修补数据，从而加强了该器件作为一个独立数据库的灵活性。工厂对每片 DS2502 刻入的 48 位序列号保证其唯一性，以精确跟踪每个器件。常用的 TO-92、SOIC 或 TSOC 封装提供了一种紧凑的结构，允许采用标准安装设备处理器件在电路板上的安装或连接。典型应用包括存储校准系数、维护记录、资产跟踪、产品修正状态和访问代码等。

## 概述

图 1 所示方框图说明了 DS2502 的主控部分和存储部分之间的关系。DS2502 包括 3 个数据部分：1) 64 位激光刻度 ROM，2) 1024 位 EPROM，3) EPROM 状态字节。对器件读操作的电源完全来自于 1-Wire 通信线，当信号线为高时，其内部的电容可以存储电荷；当 1-Wire 为低时，该“寄生”电源放电，器件继续保持工作，直到 1-Wire 恢复高时再对寄生（电容）电源进行充电。在编程期间，1-Wire 在平常电压幅度下进行通信，在需要编程选择的 EPROM 位时，产生瞬间的编程脉冲进行编程。1-Wire 线上必须能够提供 12V 电压和 10mA 电流，以满足对 EPROM 的编程。无论编程电压何时出现在 1-Wire 线上，DS2502 内部的高电压检测电路就会产生一个内部的逻辑信号，以指示这种状态。图 2 所示为 1-Wire 协议的层次结构图。总线主机必须先提供下述四种 ROM 功能命令之一：1) Read ROM，2) Match ROM，3) Search ROM，4) Skip ROM。这些命令针对每个器件的 64 位激光刻度 ROM 操作，能够在 1-Wire 线上出现多个器件时，辨识出某个特定器件，并且能够向主机指示在线器件的数量和类型。这些 ROM 功能命令所要求的协议如图 9 所述。在成功执行一条 ROM 功能命令后，操作 DS2502 的 EPROM 部分的存储器功能命令才能生效，总线主机就可以发出 DS2502 指定的 5 条存储器功能命令之一，以读取或编程不同的数据段。这些存储器功能命令的协议如图 6 所述，所有数据的读写都是低有效位在前。

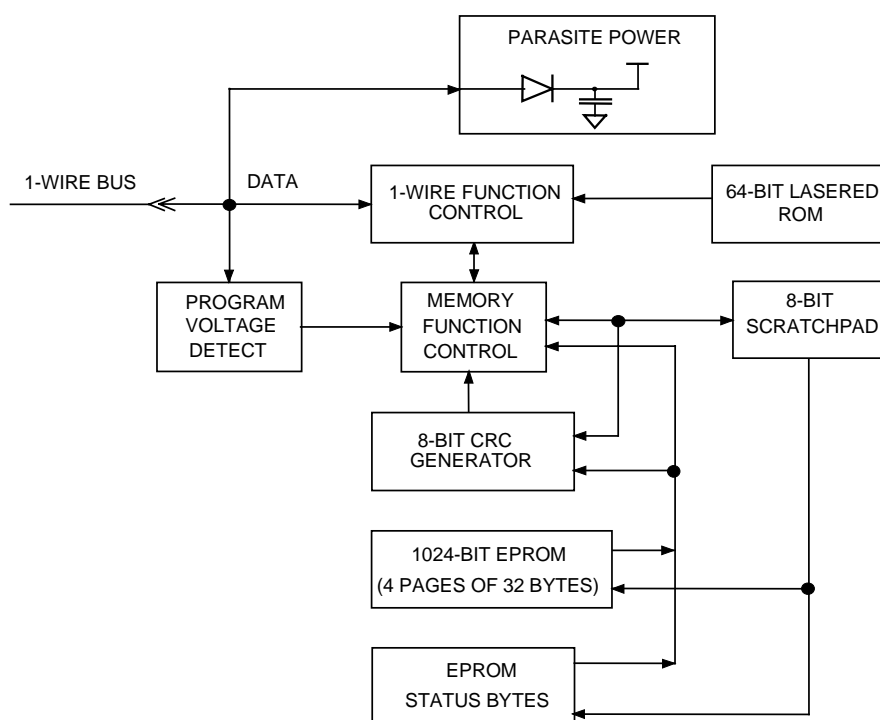
1-Wire 是 Dallas Semiconductor 的注册商标。

## 64 位激光刻度 ROM

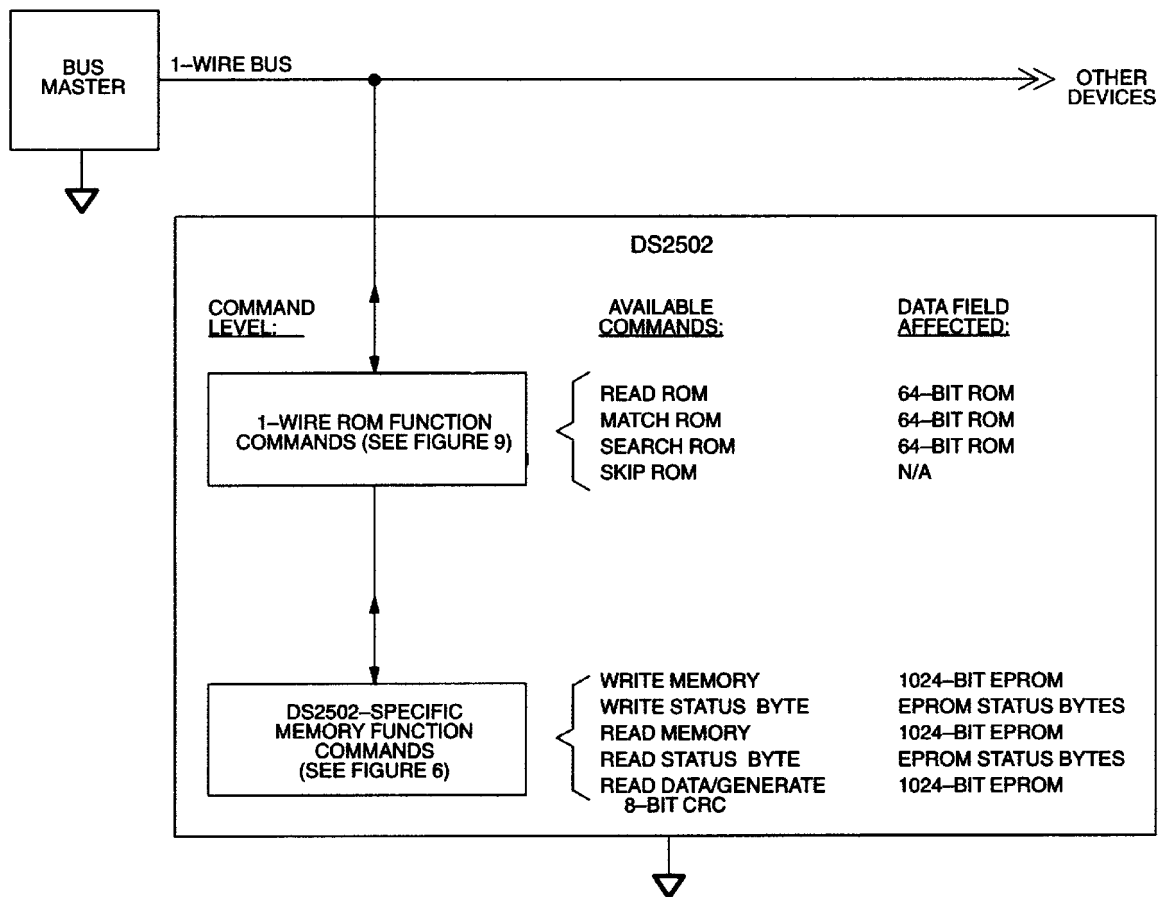
每个 DS2502 包含有 64 位长、唯一的 ROM 码。前 8 位为 1-Wire 家族码，接下来 48 位为唯一的序列码，最后 8 位为前 56 位的 CRC 校验码（如图 3 所示）。64 位 ROM 和 ROM 功能控制部分使 DS2502 可作为一个 1-Wire 器件操作，遵循 *1-Wire* 总线系统所描述的 1-Wire 协议。当 ROM 功能协议满足后，读和编程 DS2502 的 EPROM 所要求的存储器功能命令才能有效，该协议见图 9 所示的 ROM 功能流程图。1-Wire 总线主机必须先发出四个 ROM 功能命令之一：1) Read ROM, 2) Match ROM, 3) Search ROM, 4) Skip ROM。成功地执行 ROM 功能时序后，接着，总线主机就可以发出 DS2502 指定的任何一个存储器功能命令（见图 6）。

激光刻入 ROM 的 1-Wire CRC 校验码由多项式  $X^8 + X^5 + X^4 + 1$  生成。图 4 是该 CRC 校验码生成器的硬件实现电路。关于 Dallas Semiconductor 的 1-Wire 循环冗余校验码的其他信息，请参阅应用笔记 27。用于 CRC 计算的移位寄存器初始化为 0。从家族码的最低有效位起始，每次移入一位。在处理完家族码的第 8 位后，再移入序列码；在序列码的第 48 位移入后，移位寄存器的内容就是 CRC 校验码。移入 8 位 CRC 校验码后，移位寄存器应该回到全 0。

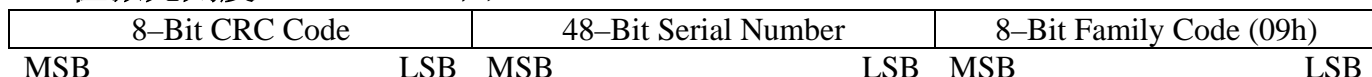
DS2502 方框图 图 1



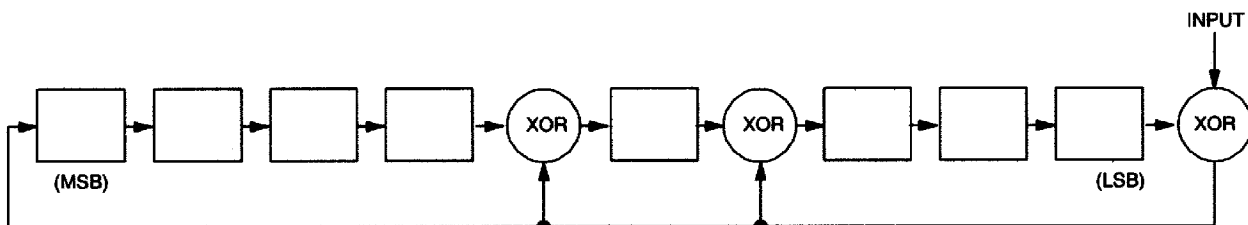
1-Wire 协议的层次结构图 图 2



64 位激光刻度 ROM 图 3



1-Wire CRC 校验码生成器 图 4



## 1024 位 EPROM

存储器结构分配图如图 5 所示，表示 DS2502 的 1024 位 EPROM 地址分配表，分为 4 页，每页 32 个字节。当编程存储器时，8 位暂存器作为一个附加寄存器，充当缓冲器。数据首先被写在暂存器里，然后通过读取 DS2502 的 8 位 CRC 校验码进行校对，以确认数据的正常接收。如果缓冲器的内容是正确的，则应该加入编程电压，该字节数据就被写入存储器的指定地址。这个过程能够保证编程存储器时的数据完整性。读和编程 DS2502 的 1024 位 EPROM 的详细说明参见存储器功能命令一节。

## EPROM 状态字节

除了 1024 位数据存储器之外，DS2502 还提供了其他命令可访问的 64 位状态存储器。

EPROM 状态字节可被读取或编程，以便在软件查询 DS2502 时指示其不同的状态。EPROM 状态存储器的首字节包含页面写保护位，如果某个写保护位被编程后，则将禁止编程位于 1024 位主存储区域。一旦页面写保护字节被编程，则该位对应的 32 个字节页面将不可能再更换，只能读出。

EPROM 状态存储器接下来的 4 个字节为页面地址重新定向字节，用于说明 1024 位 EPROM 中某页或多页数据是否无效，以及是否被定向到其它的页面地址。DS2502 的硬件无法决定页面地址重定向字节的内容，这些附加的采用 EPROM 技术的状态字节，每页的位通过编程可由逻辑 1 改为逻辑 0，但不能改回来。因此，数据需要修改或更新不可能通过简单地重写一页来实现，但如果空间允许，可将新页面地址的 1 位补码写到与旧（被替代）页面对应的页面地址重定向寄存器，这样该数据页面被重新定向到 DS2502 的另一个页面。

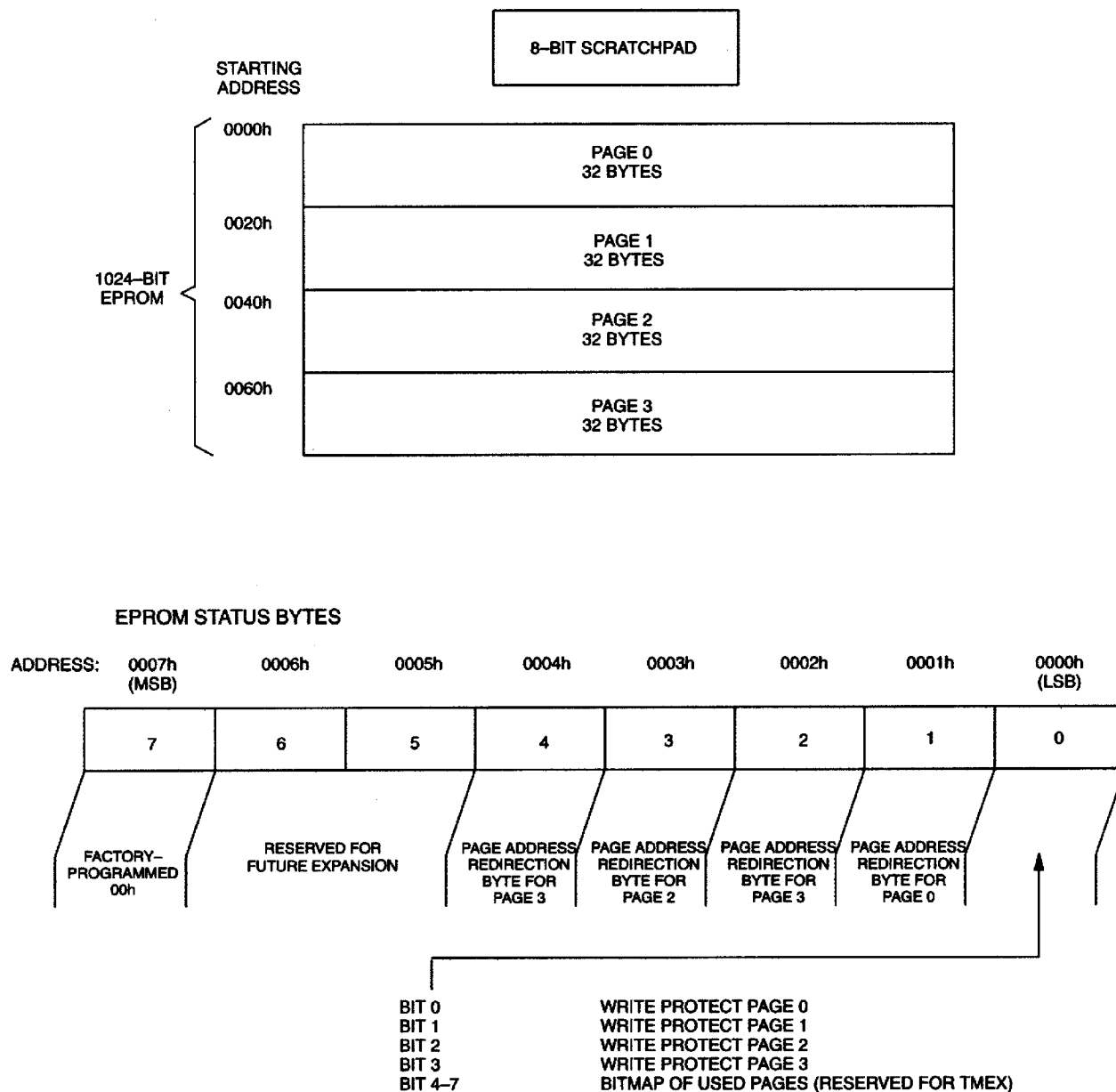
这种结构允许用户软件对 EPROM 做“数据修补”，只需指明某特殊页面由页面地址重新定向字节寄存器中指向的页面所替代。

如果页面地址重新定向字节为 FFh，则主存储器中与该页相关的数据有效，如果该字节为其他十六进制数，则其对应的页面数据无效，有效数据可在其对应的页面地址重定向字节所指向的页面中找到。例如，如果第一页的重新定向字节值为 FDh，则说明更新数据存储在第 2 页里。关于 DS2502 EPROM 状态存储器读取和编程的详细说明参见存储器功能命令一节。

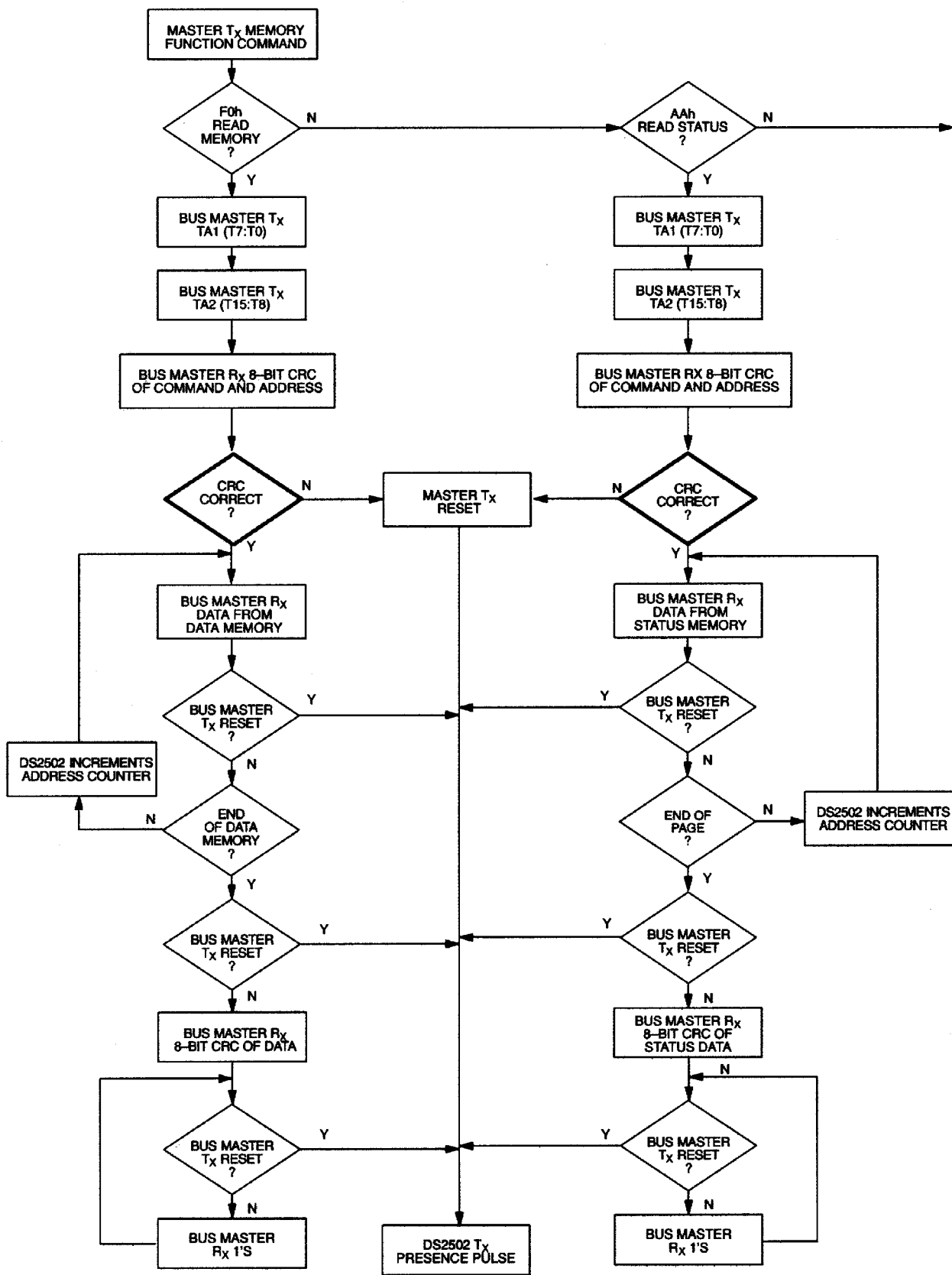
## 存储器功能命令

图 6 所示的“存储器功能流程图”描述了访问 DS2502 内不同数据段的协议。存储器功能控制部分、8 位暂存器和编程电压检测电路组合起来解释总线主机发出的命令，并在器件内产生正确的控制信号。主机发出 3 字节协议，包括 1 个说明操作类型的命令字节和 2 个指定数据段起始位置的地址字节。命令字节指明是否要对器件读取或写入。写数据不仅包括发出正确的命令序列，还应在适当的时候提供 12V 编程电压。执行写序列时，数据的一个字节首先被装载到暂存器，然后编程到所选地址，写序列通常每次写入一个字节。执行读序列时，总线主机发出起始地址，便从初始位置读取数据，一直读到所选数据段结束，或者直到发出复位命令。所有由总线主机向 DS2502 发送和接收的数据都是低有效位在前。

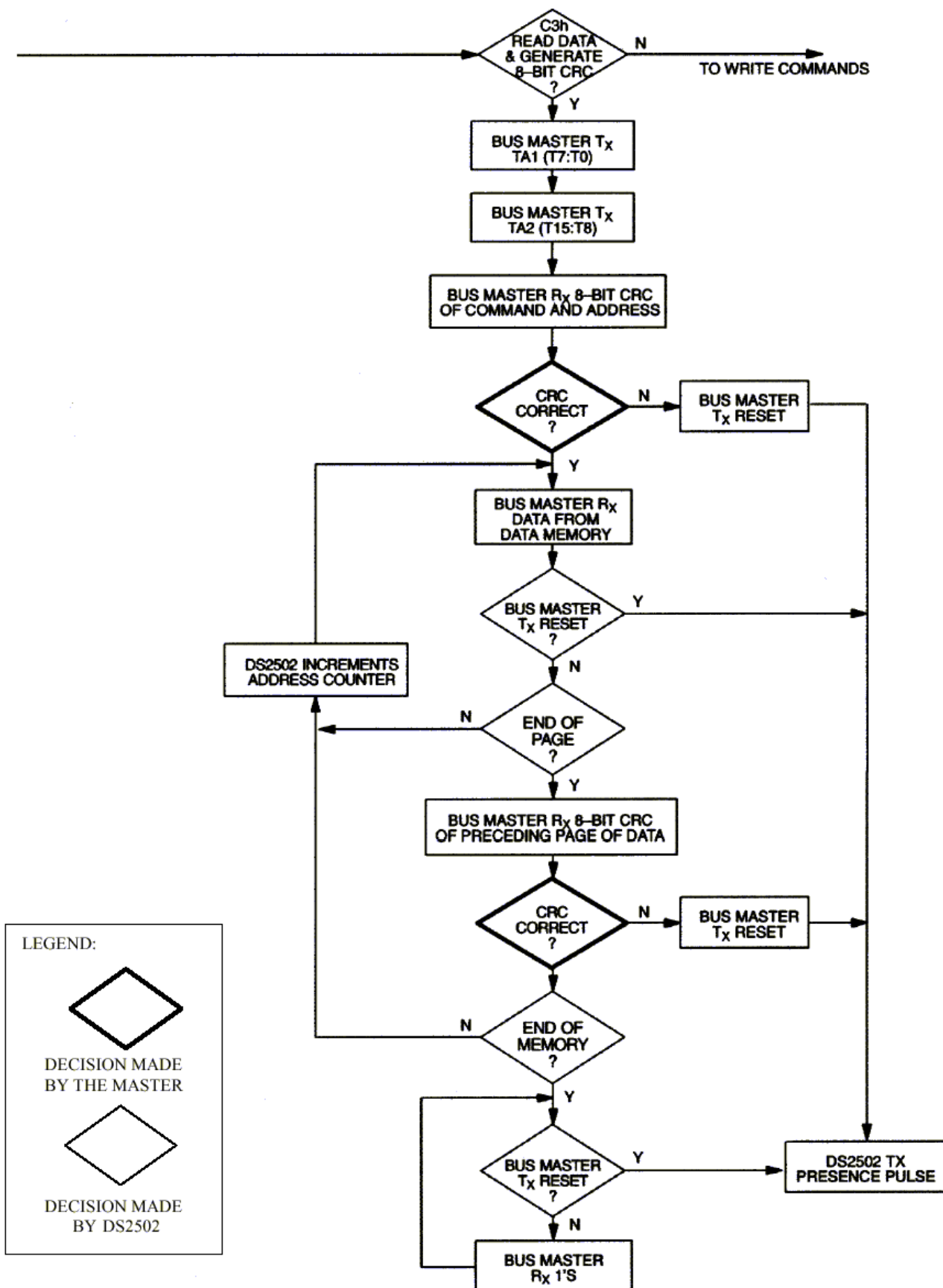
DS2502 存储器结构分配图 图 5



存储器功能命令流程图 图 6

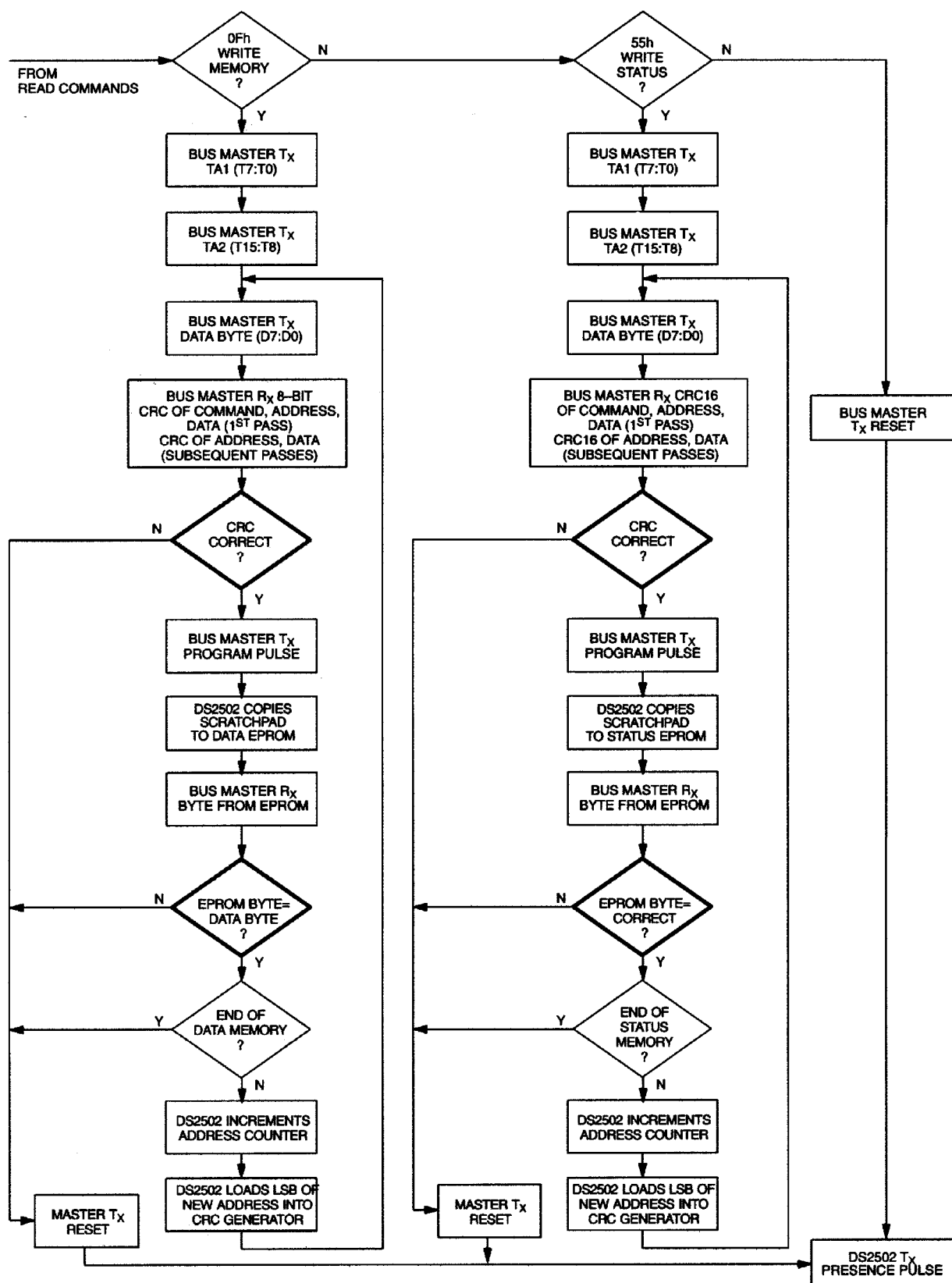


存储器功能命令流程图 图 6 (续)





存储器功能命令流程图 图 6 (续)



## Read Memory [F0h]

Read Memory (读存储器) 命令用于从 1024 位 EPROM 数据段读取数据。总线主机在发出命令字节之后, 紧跟 2 字节地址(TA1=(T7:T0), TA2=(T15:T8)), 以指示起始字节在数据段中的位置。DS2502 计算出命令和地址字节生成的 8 位 CRC 校验码, 总线主机读回校验码, 以确认命令和起始地址是否被正确接收。如果总线主机读到的 CRC 校验码不正确, 则必须发出复位脉冲 (reset pulse), 重新执行整个时序。如果接收的 CRC 校验码正确, 总线主机发出读时隙, 从 DS2502 的指定地址开始读取数据, 一直读到 1024 位数据段结束, 或者直到发出复位脉冲。当读到存储空间结束时, 总线主机发出 8 个另外的读时隙, DS2502 将返回从起始字节到存储器的最后字节所生成的 8 位 CRC 校验码。总线主机收到 CRC 校验码后, 随后的读时隙将一直保持为逻辑 1, 直到发出复位脉冲。任何在读到存储器结尾之前而被复位脉冲结束的读操作, 均无 8 位 CRC 校验码响应。

通常, 可以将每页数据的 16 位 CRC 校验码存储起来, 以便快速、无误码地传输数据, 从而避免由于判断接收数据正确是否而进行的多次读取某页的操作 (请参阅 *应用笔记 114* 推荐的数据结构)。如果 CRC 值已经嵌入在数据中, 那么操作 Read Memory 命令期间, 在读到存储空间结尾时就可以发出复位脉冲。

## Read Status [AAh]

Read Status (读状态) 命令用于从 EPROM 状态数据段读取数据。总线主机在发出命令字节之后, 紧跟 2 字节地址(TA1=(T7:T0), TA2=(T15:T8)), 用以指出起始字节在数据段中的位置。DS2502 计算出命令和地址字节构成的 8 位 CRC 校验码, 总线主机读回校验码, 以确认命令和起始地址是否被正确接收。如果总线主机读到的 CRC 校验码不正确, 则必须发出复位脉冲, 重新执行整个时序。如果接收的 CRC 校验码正确, 总线主机发出读时隙, 并从指定的地址开始读取 DS2502 数据, 一直读到 EPROM 状态数据段结束。从该点开始, 总线主机将接收到 8 位 CRC 校验码, 该 CRC 校验码等于从起始字节到工厂编程的最后字节 (为 00h) 的所有数据移位到 CRC 生成器后产生的结果。

由于 EPROM 状态信息可能被修改, 导致不可能一次性编程数据, 且包含了始终有效的相关 CRC 校验码, 所以 Read Status 命令提供了这个基于, 且与当前存储在 EPROM 状态数据段的数据保持一致的 8 位 CRC 码。

在读完 8 位 CRC 校验码后, 总线主机将一直从 DS2502 读到逻辑 1, 直至发出复位脉冲为止。Read Status 命令序列可以随时终止, 只需发出复位脉冲。

## Read Data/Generate 8 位 CRC [C3h]

Read Data/Generate (读数据/生成) 8 位 CRC 命令用于从 1024 位 EPROM 数据区域读取数据。总线主机在发出命令字节之后, 紧跟 2 字节地址(TA1=(T7:T0), TA2=(T15:T8)), 用以指出起始字节在数据段中的位置。DS2502 计算出命令和地址字节构成的 8 位 CRC 校验码, 总线主机读回校验码以确保接收的命令字和起始地址的正确性。如果总线主机读到的 CRC 校验码不正确, 则必须发出复位脉冲, 重新执行整个时序。如果接收的 CRC 校验码正确, 总线主机发出读时隙, 并从指定地址开始读取 DS2502 数据, 一直读到 32 字节页面结束。从那点开始, 如果总线主机发出额外的 8 个读时隙, 将接收到 8 位 CRC 校验码, 该值为从初始字节到当前页面的最后一个字节数据移位到 CRC 生成器后生成的结果。一旦收到 8 位 CRC 校验码, 又可以从 1024 位 EPROM 的下一页开始读取数据。该过程能够继续执行, 直到最后一页及其相伴随的 CRC 校验码被总线主机读出为止。因此, 每页数据都可认为是 33 字节长, 其中 32 个字节是用户编程到 EPROM 的数据, 另 1 个字节为页末自动生成的 8 位 CRC 校验码。

这种读取方式，明显地区别于简单地读取每页数据直至地址空间结束的 Read Memory 命令。Read Memory 命令只在存储空间结束时产生 8 位 CRC 校验码，该 CRC 码通常会被忽略，这是因为在多数情况下对 1024 位 EPROM 某页编程时，用户都会在该页末存储一个数据自身生成的 16 位 CRC 校验码。

Read Data/Generate 8 位 CRC 命令提供了一种“位定向”，优于“页定向”的读功能，在页面范围内的 1024 位 EPROM 信息会随时而变，使得不可能实现对页面编程 1 次就包含一个始终有效的相关 CRC 码。因此，通过 DS2502 生成和提供的 8 位 CRC 校验码（基于且与 1024 位 EPROM 数据段内每个页面的当前数据相一致的 CRC 码），Read Data/Generate 8 位 CRC 命令就能够判断每个页面的正确性。在读完最后一页的 8 位 CRC 校验码后，总线主机将一直从 DS2502 读到逻辑 1，直至发出复位脉冲为止。Read Data/Generate 8 位 CRC 命令序列可以随时终止，只需发出复位脉冲。

## Write Memory [0Fh]

Write Memory（写存储器）命令用于编程 1024 位 EPROM 数据段。总线主机在发出命令字节之后，紧跟 2 字节地址(TA1=(T7:T0), TA2=(T15:T8))和 1 个字节的数据(D7:D0)。DS2502 由命令、地址和数据字节计算出 8 位 CRC 校验码，总线主机读回该值，以确认其接收的命令字、起始地址和数据字节是否正确。

DS2502 的最高起始地址为 007Fh。如果总线主机发送的起始地址比该值还高，则芯片内部电路会将 9 个地址高位全置为 0，这将使 DS2502 计算的 CRC 值与总线主机计算的 CRC 值不同，以指示出错。

如果总线主机读到的 CRC 校验错误，则必须发出复位脉冲，重新进行这个序列。若主机接收到的 CRC 码正确，则总线主机发出编程脉冲（1-Wire 总线上 12V 脉冲，保持 480μs）。在编程之前，未编程的 1024 位 EPROM 均为逻辑 1，如果总线主机是将其设为逻辑 0，编程脉冲出现后，被选中的字节对应的位被编程为逻辑 0。

在 480μs 编程脉冲过后，数据线回到 5V 电平，总线主机发出 8 个读时隙，以验证相应位是否被编程。DS2502 将响应被选中 EPROM 地址按照最低有效位在先格式发送的数据。该字节包括写到这个 EPROM 数据地址的所有字节的逻辑与，如果 EPROM 数据字节在某些位为 1，而总线主机发出的字节对应为 0，则应该发出复位脉冲，当前字节地址需要被重新编程。如果 DS2502 EPROM 数据字节在与数据字节相同位置的位为 0，说明编程成功，DS2502 自动将地址计数器加 1，指向 1024 位 EPROM 的下一个字节。新的 2 字节地址中的最低有效字节也作为起始值载入 8 位 CRC 生成器。总线主机将发出 8 个写时隙，送入下一数据字节。

DS2502 将数据接收到暂存器，同时将数据移到 CRC 生成器，此时生成器中已经预加载了当前地址的最低有效字节，因此 8 位 CRC 的结果由新数据和新地址的最低有效字节生成。提供完数据后，总线主机使用 8 个读时隙从 DS2502 读回 8 位 CRC 码，以确认地址累加及接收数据是否正确。若 CRC 错误，则必须发出复位脉冲，重新开始 Write Memory 命令时序。若 CRC 正确，总线主机再发出编程脉冲，将编程存储器中被选中的字节。

需说明的是，第一次 Write Memory 命令流程所产生的 8 位 CRC 值，是由移入 CRC 生成器的命令字节及随后移入的 2 个地址字节和 1 个数据字节生成的。随后的 Write Memory 命令流程所产生的 8 位 CRC 码归结于 DS2502 自动增加地址计数器，其 CRC 码结果由加载（不是移入的）到 CRC 生成器的新（增加的）地址的最低有效字节和移入的新数据字节所生成的。

对于以上两种情况，是否继续（为 DS2502 提供编程脉冲）完全由总线主机决定，这是因为 DS2502 不能判断出总线主机计算的 8 位 CRC 校验码与其自身计算值是否一致。如果错误的 CRC 码被忽略，总线主机又发出了编程脉冲，那么 DS2502 内就出现了错误编程。同时也应注意到 DS2502 在接收到总线主机为验证选定的 EPROM 编程字节而发出的 8 个读时隙以后，其内部地址计数器将加 1。是否继续，决定权完全在总线主机，因此如果 EPROM 数据字节与要求的数据字节不符，而总线主机又继续进行 Write Memory 命令，那么在 DS2502 内部也会产生错误编程。Write Memory 命令序列可以随时终止，只需发出复位脉冲。

### Write Status [55h]

Write Status（写状态）命令用于对 EPROM 状态数据段编程。总线主机在发出命令字节之后，紧跟 2 字节地址(TA1=(T7:T0), TA2=(T15:T8))和 1 个状态字节的数据(D7:D0)。DS2502 由命令、地址和数据字节计算出 8 位 CRC 校验码，总线主机读回该值，以确认其接收的命令字、起始地址和数据字节是否正确。

如果总线主机读到的 CRC 错误，则必须发出复位脉冲，重新执行这个序列。若读回的 CRC 码正确，则总线主机发出编程脉冲（1-Wire 总线上 12V 脉冲，保持 480μs）。在编程之前，EPROM 状态数据在首 7 个字节为逻辑 1，对于总线主机提供的、被置为逻辑 0 的数据字节的每一位，在编程脉冲出现后，被选中的 EPROM 状态数据区域字节对应的位被编程为逻辑 0。EPROM 状态数据段的第 8 个字节出厂设置为 00H。

在 480μs 编程脉冲及数据线回到 5V 电平以后，总线主机发出 8 个读时隙，以验证相应位的编程是否正确。DS2502 将被选中 EPROM 状态地址中的数据以最低有效位在先进行响应。该字节为所有写到该 EPROM 状态字节地址的逻辑与，如果 EPROM 状态字节在某些位为 1，而总线主机发出的字节对应为 0，则应该发出复位脉冲，当前字节地址需要被重新编程。若 DS2502 相应的 EPROM 状态字节也为 0，说明编程成功，DS2502 自动将地址计数器加 1，指向 EPROM 状态数据段的下一个字节。新的 2 字节地址中的最低有效字节也作为起始值载入 8 位 CRC 生成器。总线主机将发出 8 个写时隙，送入下一数据字节。

DS2502 将数据接收到暂存器，同时将数据移到 CRC 生成器，此时生成器中已经预加载了当前地址的最低有效字节，因此 8 位 CRC 的结果由新数据和新地址的最低有效字节生成。提供完数据后，总线主机使用 8 个读时隙从 DS2502 读回 8 位 CRC 码，以确认地址累加及接收数据是否正确。若 CRC 错误，则必须发出复位脉冲，重新开始 Write Status 命令时序。若 CRC 正确，总线主机再发出编程脉冲，将编程存储器中被选中的字节。

需说明的是，第一次 Write Status 命令流程所产生的 8 位 CRC 码，是由移入 CRC 生成器的命令字节及随后移入的 2 个地址字节和 1 个数据字节生成的。随后的 Write Status 命令流程所产生的 8 位 CRC 码归结于 DS2502 自动增加地址计数器，其 CRC 码结果由加载（不是移入的）到 CRC 生成器的新（增加的）地址的最低有效字节和移入的新数据字节所生成的。

对于以上两种情况，是否继续（为 DS2502 提供编程脉冲）完全由总线主机决定，这是因为 DS2502 不能判断出总线主机计算的 8 位 CRC 校验码与其自身计算值是否一致。如果错误的 CRC 码被忽略，总线主机又发出了编程脉冲，那么 DS2502 内就出现了错误编程。同时也应注意到 DS2502 在接收到总线主机为验证选定的 EPROM 编程字节而发出的 8 个读时隙以后，其内部地址计数器将加 1。是否继续，决定权完全在总线主机，因此如果 EPROM 数据与要求数据不符，而总线主机又继续进行 Write Status 命令，那么在 DS2502 内部也会产生错误编程。Write Status 命令序列可以随时终止，只需发出复位脉冲。

## 1-Wire 总线系统

1-Wire 是在一条总线上连接一个总线主机和一个或多个从机设备的系统。任何情况下，DS2502 都是从机设备，而总线控制器通常是一个微控制器。有关总线系统的讨论将分为三个主题：硬件结构、处理流程和 1-Wire 信令（信号类型和时序）。1-Wire 协议定义总线传输基于特定时隙内的总线状态，该时隙起始于由总线主机发出的同步脉冲的下降沿。

### 硬件配置

1-Wire 总线只定义了一根信号线，所以总线上的各个设备在适当的时刻运行是非常重要的。为达到这一目的，每一个接入 1-Wire 总线的设备都采用漏极开路或三态输出。DS2502 为漏极开路输出，其内部等效电路如图 7 所示。总线主机可以采用相同的等效电路。如果没有可利用的双向引脚，则可将独立的输入、输出管脚连接起来使用。

在总线主机端需加一个上拉电阻，总线主机的等效电路如图 8a 和 8b 所示，短距离传输时上拉电阻值约为  $5k\Omega$ 。

由多个从机连接到 1-Wire 总线上组成多节点总线。常规速率下，1-Wire 总线的最高数据传输速率为 16.3kbps。如果总线主机欲对 DS2502 的 EPROM 部分进行编程，则要求编电源具备输出 12V/10mA 的能力，且保持 480 $\mu$ s。1-Wire 总线的空闲状态为高电平。不管是何种原因，如果需要暂停传输，且要求传输还能够重新开始，则总线必须停留于空闲状态；如果情况不是这样，且总线保持低电平时间超过 120 $\mu$ s，那么总线上的某个或多个器件可能被复位。

## 处理流程

通过 1-Wire 接口访问 DS2502 的次序如下所示：

- 初始化
- ROM 功能命令
- 存储器功能命令
- 读/写存储器/状态

### 初始化

1-Wire 总线上所有的传输均由初始化命令开始。初始化命令由主机发出的复位脉冲和从机响应的应答脉冲（presence pulse）组成。

应答脉冲让总线主机知晓 DS2502 在总线上，并且已经准备就绪。更多详细内容，请阅 *1-Wire 命令* 一节。

### ROM 功能命令

一旦总线主机检测到应答脉冲，就发出四种 ROM 功能命令中的一种。所有 ROM 功能命令长度为 8 位。下面列出了这些命令（流程图参见图 9）：

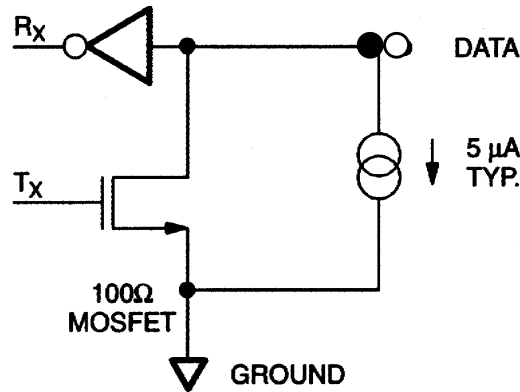
#### Read ROM [33h]

此命令允许总线主机读取 DS2502 的 8 位家族码、唯一的 48 位序列号和 8 位 CRC 校验码。此命令只在总线上只有一片 DS2502 时使用。如果总线上出现多个从机，则当各个从机同时发送时，将会发生数据冲突（漏极开路产生线与结果）。

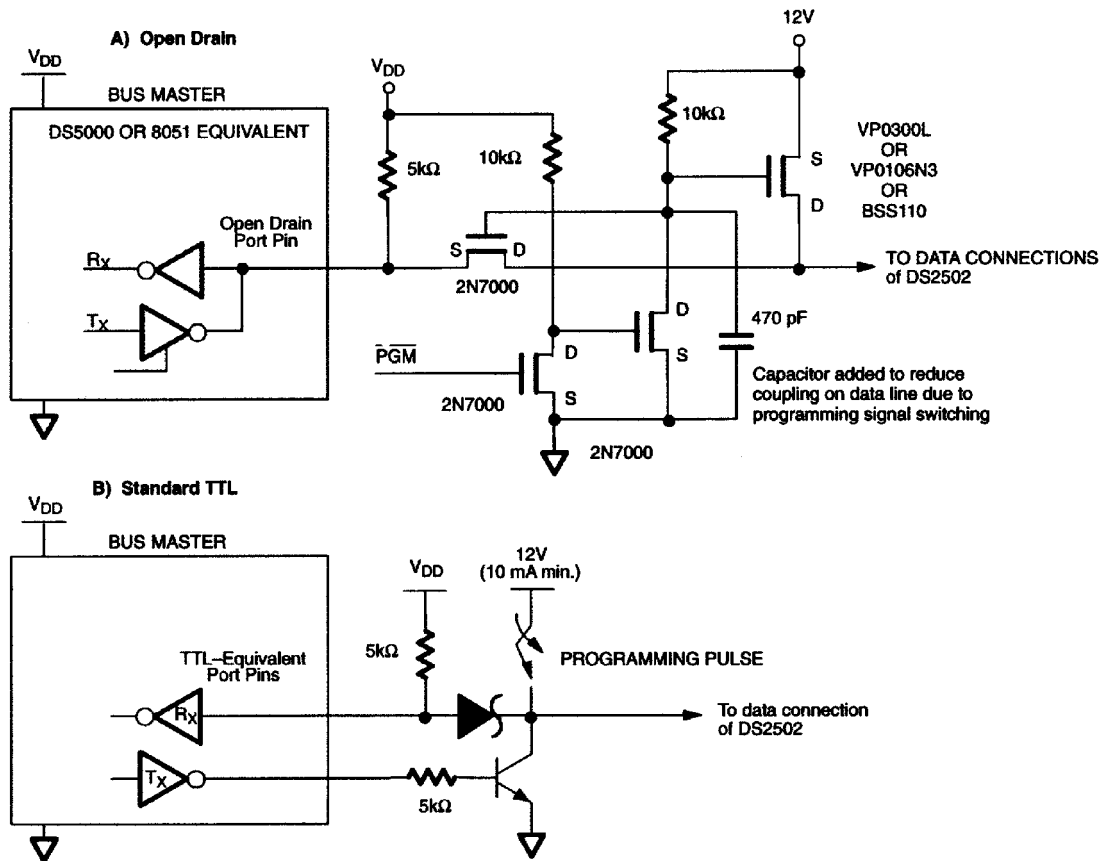
#### Match ROM [55h]

后跟一个 64 位 ROM 序列的 Match ROM 命令，允许总线主机在多点时寻址某个特定的 DS2502。只有与该 64 位 ROM 序列匹配的 DS2502 才会对随后的存储器功能命令进行响应。其他不匹配的从机将等待下一个复位脉冲。此命令可以应用于总线上有单个或多个设备。

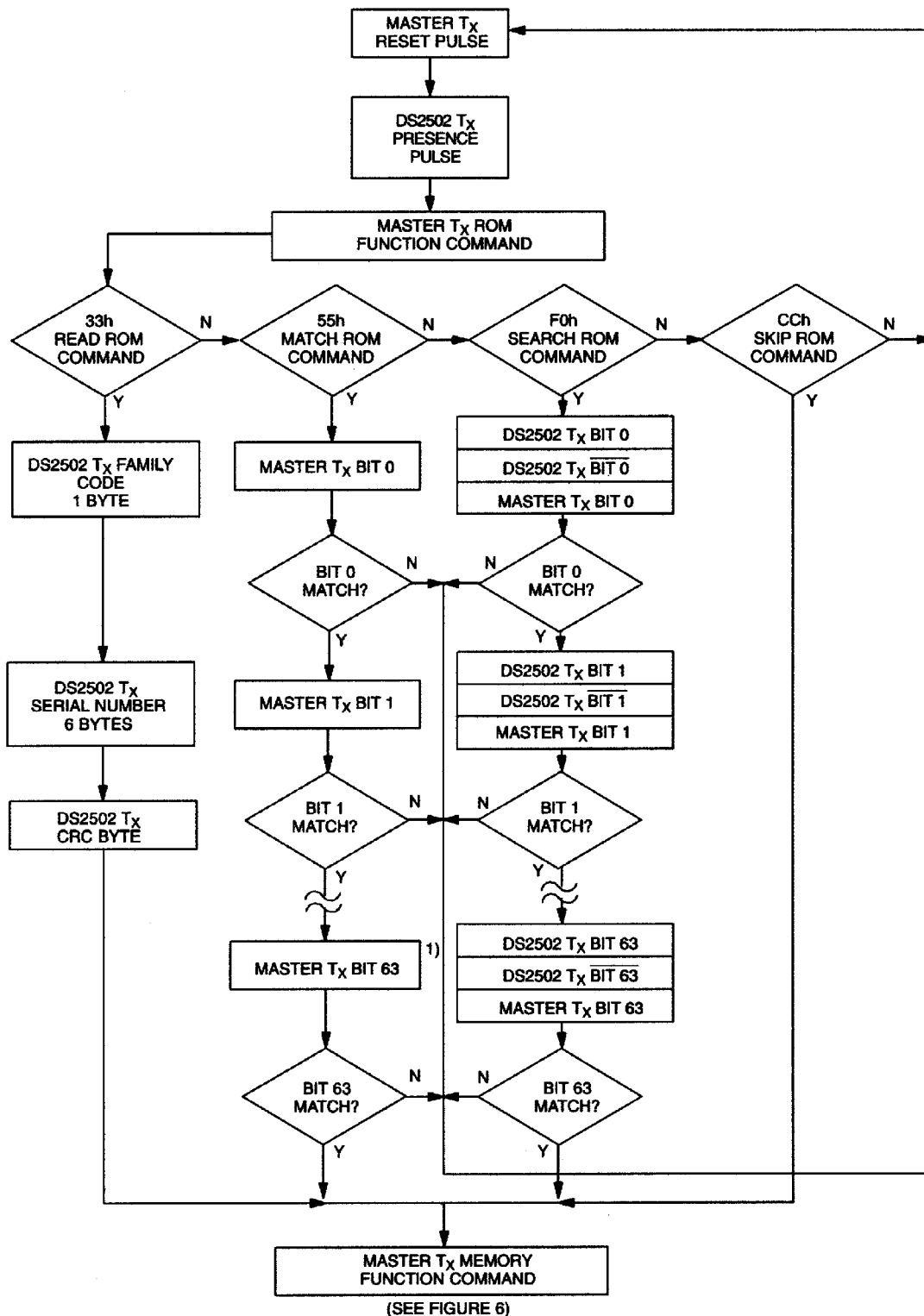
DS2502 等效电路 图 7



总线主机电路 图 8



ROM 功能流程图 图 9





## Skip ROM [CCh]

此命令允许在单节点总线系统中，访问存储器功能时无须提供 64 位 ROM 码，从而节省时间。如果总线上存在多个从机，而又在 Skip ROM 命令之后发出了读数据命令，则多个从机将同时发送数据，势必引起数据冲突（漏极开路时产生线与结果）。

## Search ROM [F0h]

当一个系统启动初始化时，总线主机可能不知道有多少设备在 1-Wire 总线上，并且也不知道它们的 64 位 ROM 码。Search ROM 命令允许总线主机采用排除法，来确认总线上所有从机设备的 64 位 ROM 码。ROM 搜索过程是反复执行一个简单的三步程序：读一位，读该位的补码，然后写入该位的期望值。总线主机对 ROM 的每一位执行这三步程序，在操作完成这个过程后，总线主机就能知道某个设备的 ROM 内容。余下的器件数目及其 ROM 代码通过执行更多的过程来判断。有关 ROM 搜索的更深入讨论，请参阅应用笔记 187，其中包括一个实例。

## 1-Wire 信令

DS2502 要求严格的协议，以保证数据的完整性。此协议包括在一根线上的五种类型信令：复位脉冲和应答脉冲的复位序列、写 0、写 1、读数据和编程脉冲。除了应答脉冲外，其他所有信号都由总线主机激发。与 DS2502 开始任何通信的初始化序列如图 10 所示。在复位脉冲之后，如果出现在线应答脉冲，则说明 DS2502 已经准备接收 ROM 命令。总线主机发送 (TX) 一个复位脉冲 ( $t_{RSTL}$ ，最小 480 $\mu$ s)，然后释放总线，并转入接收 (RX) 状态。通过上拉电阻，1-Wire 总线被拉为高电平。在检测到数据引脚出现上升沿后，DS2502 继续等待 ( $t_{PDH}$ ，15-60 $\mu$ s)，然后发送在线应答脉冲 ( $t_{PDL}$ ，60-240 $\mu$ s)。

## Read/Write 时隙

写/读时隙的定义如图 11 所示。所有时隙都初始于总线主机拉低数据线。数据线的下降沿通过触发 DS2502 的一个延时电路，使 DS2502 同步于总线主机。在写时隙期间，延时电路决定了 DS2502 何时采样数据线。对于一个读时隙，如果传输的是“0”，则延时电路决定 DS2502 将数据线拉低的时间、覆盖主机产生的“1”。如果数据位为 1，器件将保持数据线状态不变。

## 编程脉冲

从 8 位暂存器将数据拷贝到 1024 位 EPROM 存储器或状态存储器时，在总线主机确认当前字节的 CRC 正确之后，12V 的编程脉冲便需要加在数据线上。在编程期间，总线主机控制数据线从上拉电阻所置的空闲高电平状态，转换到数据线被有源驱动至 12V 编程电压的状态，为 DS2502 提供至少 10mA 的电流。图 12 所示的此编程电压应保持 480 $\mu$ s，在此之后，总线主机将数据线返回到上拉电阻所控制的空闲高电平状态。值得注意的是，由于任何 1-Wire EPROM 设备都需要高电压编程，非 EPROM 类型的 1-Wire 器件内部的二极管会将数据线电压嵌位约为 8V，且可能会损坏这些器件，因此，在编程 DS2502 过程中，在总线上不允许挂接其它非 EPROM 的 1-Wire 器件。

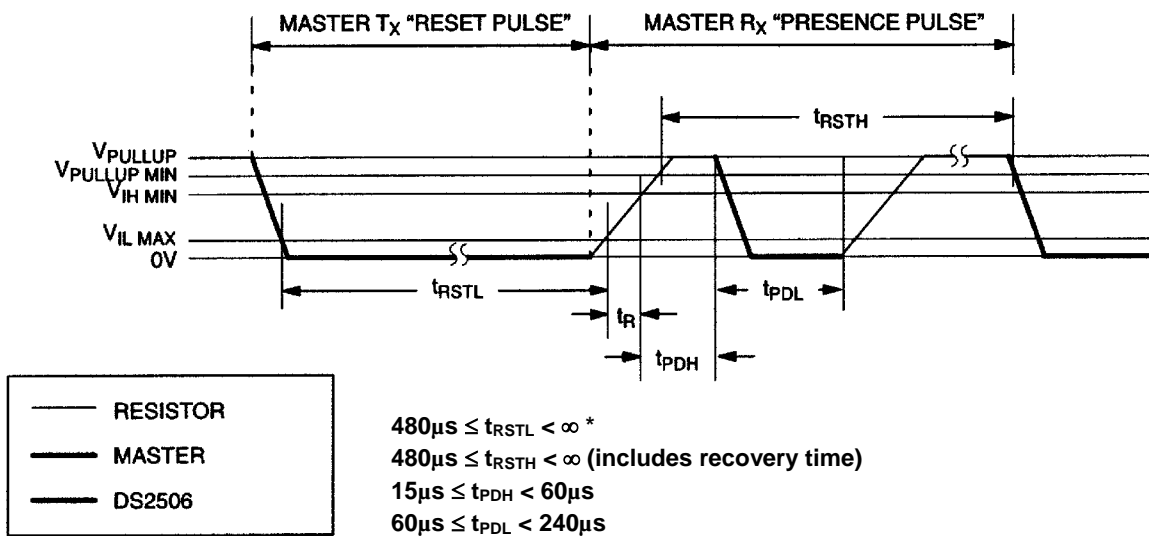
## CRC 校验码的生成

DS2502 的 8 位 CRC 校验码存储在 64 位 ROM 的最高有效字节。总线主机根据 64 位 ROM 的前 56 位值计算 CRC 值，并将此值与 DS2502 存储值进行比较，从而判断接收是否有误。CRC 的等效多项式为： $X^8 + X^5 + X^4 + 1$ 。

有些情况下，DS2502 也利用上述多项式生成 8 位 CRC 值，并把此值提供给总线主机，以确认总线主机发送给 DS2502 的命令、地址和数据字节的有效性。图 6 所示的存储器功能流程图描述了 DS2502 由 Write Memory 命令和 Write Status 命令而接收的命令、地址和数据字节计算的 8 位 CRC 值，并把此值回传至总线主机，以确认传输的正确性。同样地，DS2502 也计算总线主机发送的 Read Memory、Read Status 和 Read Data/Generate 8 位 CRC 命令和地址字节构成的 8 位 CRC 值，以确认这些字节已被正确接收。在 Read Data/Generate 8 位 CRC 命令过程中，当 1024 位 EPROM 的每页数据发送给总线主机时，DS2502 的 CRC 生成器也提供无误码数据传输的验证；对于状态存储器的 8 字节信息发送给总线主机时，一样提供这种无误码验证。

在每个 CRC 用于验证数据传输有效性的应用中，总线主机必须采用上述多项式计算 CRC 值，并将该值或者与 DS2502 的 64 位 ROM 存储的 8 位 CRC 值（读 ROM 命令）相比较，或者与 DS2502 计算的 8 位 CRC 值相比较。比较 CRC 值和是否继续某种操作都完全由总线主机决定。当 DS2502 存储的或计算的 CRC 值与总线主机生成的 CRC 值不匹配时，DS2502 内部没有电路来阻止该命令继续进行。正确使用图 6 流程所示的 CRC，可以产生一个高水平可信度的通信通道。有关生成 CRC 码的详细情况，包括软件和硬件方面的应用实例，请参阅应用笔记 27。

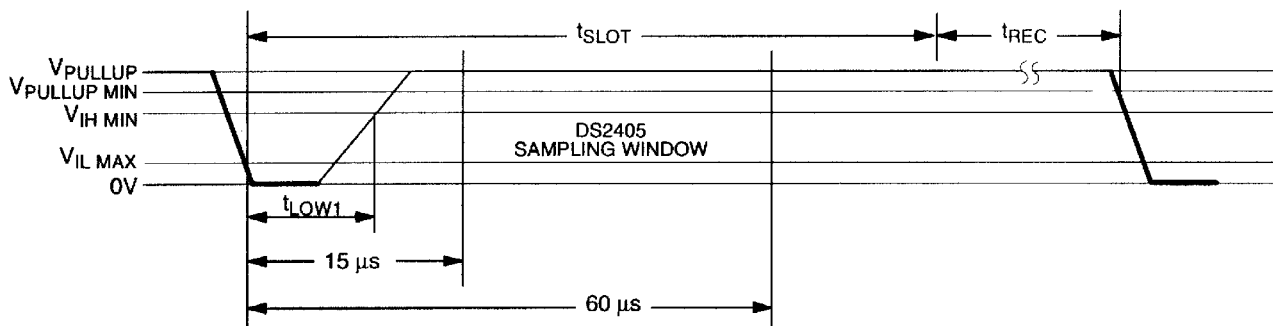
“复位和在线应答脉冲”初始化时序 图 10



\* 为了不屏蔽 1-Wire 总线上的其他设备的中断信号， $t_{RSTL} + t_R$  总是应该小于  $960\mu\text{s}$ 。

读/写时序图 图 11

写 1 时隙

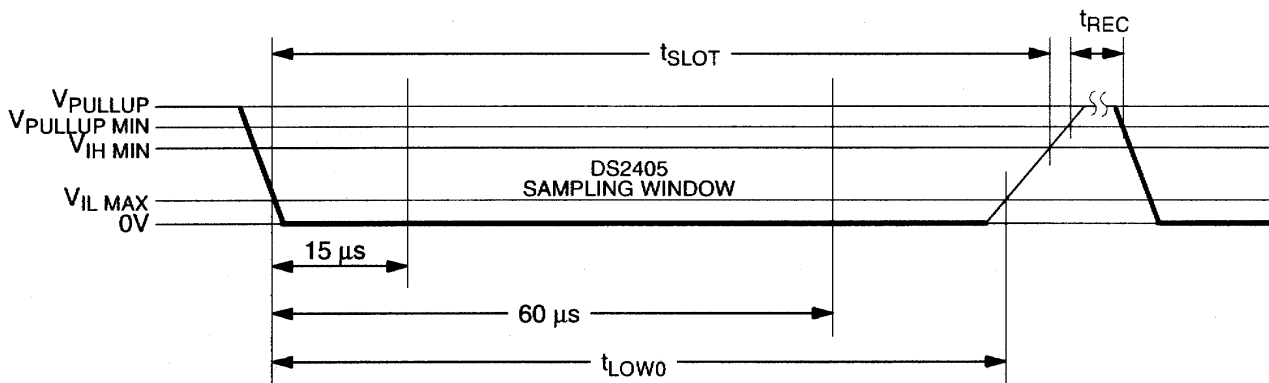


$$60\mu s \leq t_{SLOT} < 120\mu s$$

$$1\mu s \leq t_{LOW1} < 15\mu s$$

$$1\mu s \leq t_{REC} < \infty$$

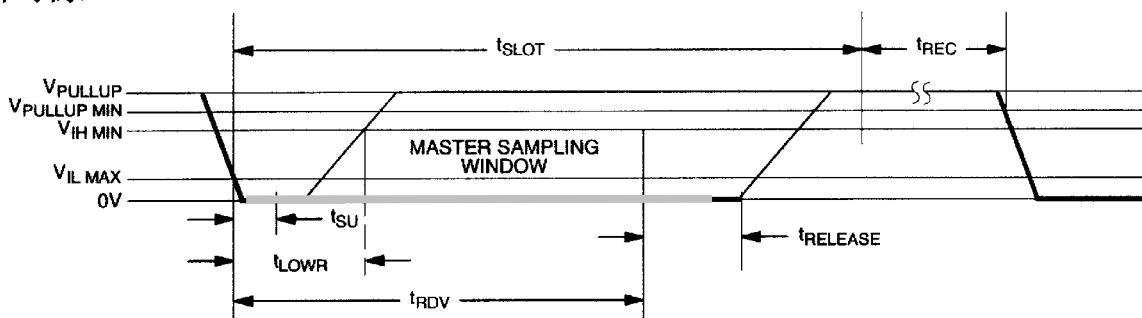
写 0 时隙






$$60\mu s \leq t_{LOW0} < t_{SLOT} < 120\mu s$$

$$1\mu s \leq t_{REC} < \infty$$

读数据时隙



	RESISTOR
	MASTER
	DS2502

$$60\mu s \leq t_{SLOT} < 120\mu s$$

$$1\mu s \leq t_{LOWR} < 15\mu s$$

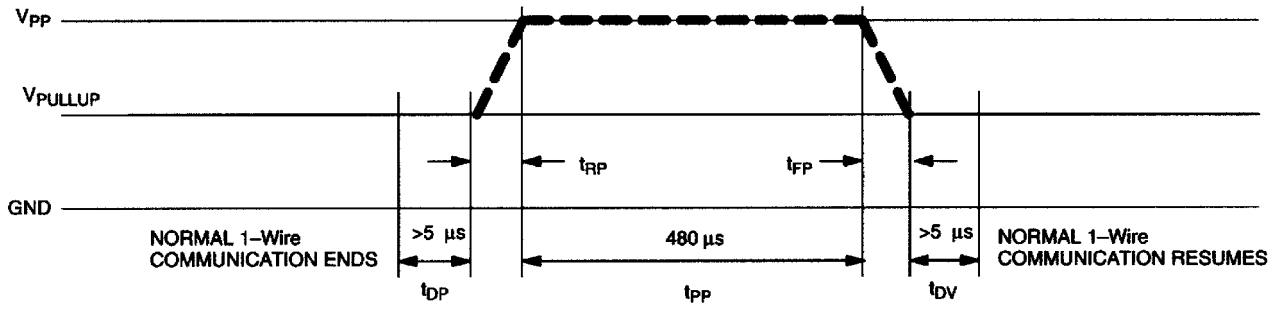
$$0 \leq t_{RELEASE} < 45\mu s$$

$$1\mu s \leq t_{REC} < \infty$$

$$t_{RDV} = 15\mu s$$

$$t_{SU} < 1\mu s$$

编程脉冲时序图 图 12



## LINE TYPE LEGEND:

- Bus master active high  
(12V @ 10mA)
- \_\_\_\_\_** Resistor pull-up

**ABSOLUTE MAXIMUM RATINGS\***

Voltage on any Pin Relative to Ground	-0.5V to +12.0V
Operating Temperature	-40°C to +85°C
Storage Temperature	-55°C to +125°C
Soldering Temperature	260°C for 10 seconds

\* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

**DC ELECTRICAL CHARACTERISTICS** ( $V_{PUP} = 2.8V$  to  $6.0V$ ;  $-40^{\circ}C$  to  $+85^{\circ}C$ )

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Logic 1	$V_{IH}$	2.2			V	1, 6
Logic 0	$V_{IL}$	-0.3		+0.8	V	1, 11
Output Logic Low @ 4mA	$V_{OL}$			0.4	V	1
Output Logic High	$V_{OH}$		$V_{PUP}$	6.0	V	1, 2
Input Load Current	$I_L$		5		$\mu A$	3
Operating Charge	$Q_{OP}$			30	nC	7, 8
Programming Voltage @ 10mA	$V_{PP}$	11.5		12.0	V	

**CAPACITANCE** ( $t_A = 25^{\circ}C$ )

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Data (1-Wire)	$C_{IN/OUT}$			800	pF	9

**AC ELECTRICAL CHARACTERISTICS** ( $V_{PUP} = 2.8V$  to  $6.0V$ ;  $-40^{\circ}C$  to  $+85^{\circ}C$ )

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	$t_{SLOT}$	60		120	$\mu s$	
Write 1 Low Time	$t_{LOW1}$	1		15	$\mu s$	
Write 0 Low Time	$t_{LOW0}$	60		120	$\mu s$	
Read Data Valid	$t_{RDV}$	exactly 15			$\mu s$	
Release Time	$t_{RELEASE}$	0	15	45	$\mu s$	
Read Data Setup	$t_{SU}$			1	$\mu s$	5
Recovery Time	$t_{REC}$	1			$\mu s$	
Reset Time High	$t_{RSTH}$	480			$\mu s$	4
Reset Time Low	$t_{RSTL}$	480			$\mu s$	
Presence Detect High	$t_{PDH}$	15		60	$\mu s$	
Presence Detect Low	$t_{PDL}$	60		240	$\mu s$	
Delay to Program	$t_{DP}$	5			ms	10
Delay to Verify	$t_{DV}$	5			$\mu s$	10
Program Pulse Width	$t_{PP}$	480		5000	$\mu s$	10, 12
Program Voltage Rise Time	$t_{RP}$	0.5		5.0	$\mu s$	10
Program Voltage Fall Time	$t_{FP}$	0.5		5.0	$\mu s$	10

**NOTES:**

1. All voltages are referenced to ground.
2.  $V_{PUP}$  = external pullup voltage.
3. Input load is to ground.
4. An additional reset or communication sequence cannot begin until the reset high time has expired.
5. Read data setup time refers to the time the host must pull the 1-Wire bus low to read a bit. Data is guaranteed to be valid within  $1\mu\text{s}$  of this falling edge and will remain valid for  $14\mu\text{s}$  minimum. ( $15\mu\text{s}$  total from falling edge on 1-Wire bus.)
6.  $V_{IH}$  is a function of the external pullup resistor and the pull-up voltage.
7. 30 nanocoulombs per 72 time slots @ 5.0V.
8. At  $V_{CC} = 5.0\text{V}$  with a  $5\text{k}\Omega$  pullup to  $V_{CC}$  and a maximum time slot of  $120\mu\text{s}$ .
9. Capacitance on the data pin could be  $800\text{pF}$  when power is first applied. If a  $5\text{k}\Omega$  resistor is used to pullup the data line to  $V_{CC}$ ,  $5\mu\text{s}$  after power has been applied the parasite capacitance will not affect normal communications.
10. Maximum 1-Wire voltage for programming parameters is  $11.5\text{V}$  to  $12.0\text{V}$ ; temperature range is  $-40^\circ\text{C}$  to  $+50^\circ\text{C}$ .
11. Under certain low-voltage conditions  $V_{ILMAX}$  may have to be reduced to as much as  $0.5\text{V}$  to always guarantee a presence pulse.
12. The accumulative duration of the programming pulses for each address must not exceed  $5\text{ms}$ .